

现场可编程门阵列电路

现场可编程门阵列电路产品说明书

现场可编程门阵列电路

目 录

1. 产品介绍	1
1.1. 产品概述	1
1.2. 产品特点	1
1.3. 产品用途及应用范围	2
1.4. 对应替代国外产品情况	2
2. 产品外形	2
2.1. 产品尺寸	2
2.2. 重量	3
2.3. 封装工艺	3
2.4. 产品照片和标识说明	3
3. 质量保证等级	4
4. 基本工作原理简述	4
4.1. 电路功能框图	4
4.2. 封装形式和引脚说明	4
4.3. 功能描述	5
5. 极限工作条件和推荐工作条件	16
5.1. 极限工作条件	16
5.2. 推荐工作条件	17
6. 主要技术参数指标	18
6.1. 电特性参数	18
6.2. 潮湿敏感度等级	18
7. 应用指南	19
7.1. 关键参数时序图/典型应用外围	19
7.2. 电路使用注意事项	32
7.3. 其他	34
8. 注意事项	35
8.1. 产品运输与储存注意事项	35
8.2. 产品开箱与检查	35
8.3. 电路操作注意事项	35
9. 说明	36
9.1. 售后服务与保障	36
9.2. 联系方式	36
9.3. 版本和免责说明	36

1. 产品介绍

1.1. 产品概述

FPGA电路是2021年推出的SRAM型高密度可编程逻辑门阵列（FPGA）电路，电路包含了52 160个逻辑单元（Logic Cell）、120个DSP48 Slice、2 700Kb的可编程Block RAM、集成宽电压范围（1.2~3.3V）的用户可编程接口、CMT(MMCM+PLL)时钟管理系统、PCIE和GTP高速收发器等硬核模块，最小尺寸仅15mm×15mm。可满足无线、工业、手持设备、伺服以及波控等应用需求。

1.2. 产品特点

FPGA以16纳米CMOS工艺技术、5万个逻辑单元容量和150 GMAC/s DSP计算能力兼顾了高性能和低功耗，功耗比国外对标电路降低30%。电路还具有以下特点：

- ◆ 逻辑单元（Logic Cell）—逻辑单元是 FPGA 的主要结构。采用与上代产品相似的 LUT 结构(6 输入 LUT)、控制逻辑以及输出。逻辑单元有三种工作模式：分布式存储器、串行移位寄存器和 LUT；
- ◆ Block RAM—集成 36 Kb 双端口块 RAM，内置 FIFO 逻辑，可用于片上数据缓存。Block RAM 支持单端口与真双端口功能；
- ◆ 时钟管理单元—时钟管理单元(CMT)包含锁相环(PLL)和混合模式时钟管理器(MMCM) 块，与上一代 DCM 和 PPL 模块相比，采用数字模拟混合模式的 MMCM 块可实现更高精度和更低抖动的时钟信号；
- ◆ SelectIO 接口—集成的 SelectIO 接口拥有符合全新 I/O 标准的更高速度，同时FPGA 逻辑与有关 I/O 之间的接口、逐比特校正和控制功能基本保持不变。此外，系列 FPGA 还支持业界领先的 1.25G LVDS 和 1,866 Mb/s DDR3 存储器接口；
- ◆ DSP48—器件中的 DSP Slice 具有 25×18 乘法器，48 位累加器和超进位加法器，支持预加法、乘法累加引擎(Multiply-accumulate engine)。此外，该 DSP48 还支持低时延流水线(Pipeline stage)和模式检测功能；
- ◆ 高速串行收发器(PBGA325 封装)—GTP 收发器最高支持 6.6Gbps 传输速率，除兼容上代功能外，还可实现 PCIE 2.0，JESD 204B 接口通信等功能。
- ◆ 模拟前端—带有标记的模数转换器(XADC)进一步扩展了前代器件的系统监控功能。Y X5F50T 系列 FPGA 将集成型高性能模数转换器与此前已有的系统监控功能进行了完美组合；

1.3. 产品用途及应用范围

为现场可编程门阵列器件，可重复编程灵活实现不同功能，替换 50K 逻辑单元以下数字逻辑功能，实现接口和外围电路控制、信号预处理和高速网络通信等功能。

1.4. 对应替代国外产品情况

可插拔替换 Xilinx 公司的 XC7A50T 系列相应封装产品，封装兼容，但系列功耗更低。具体替代情况如下：

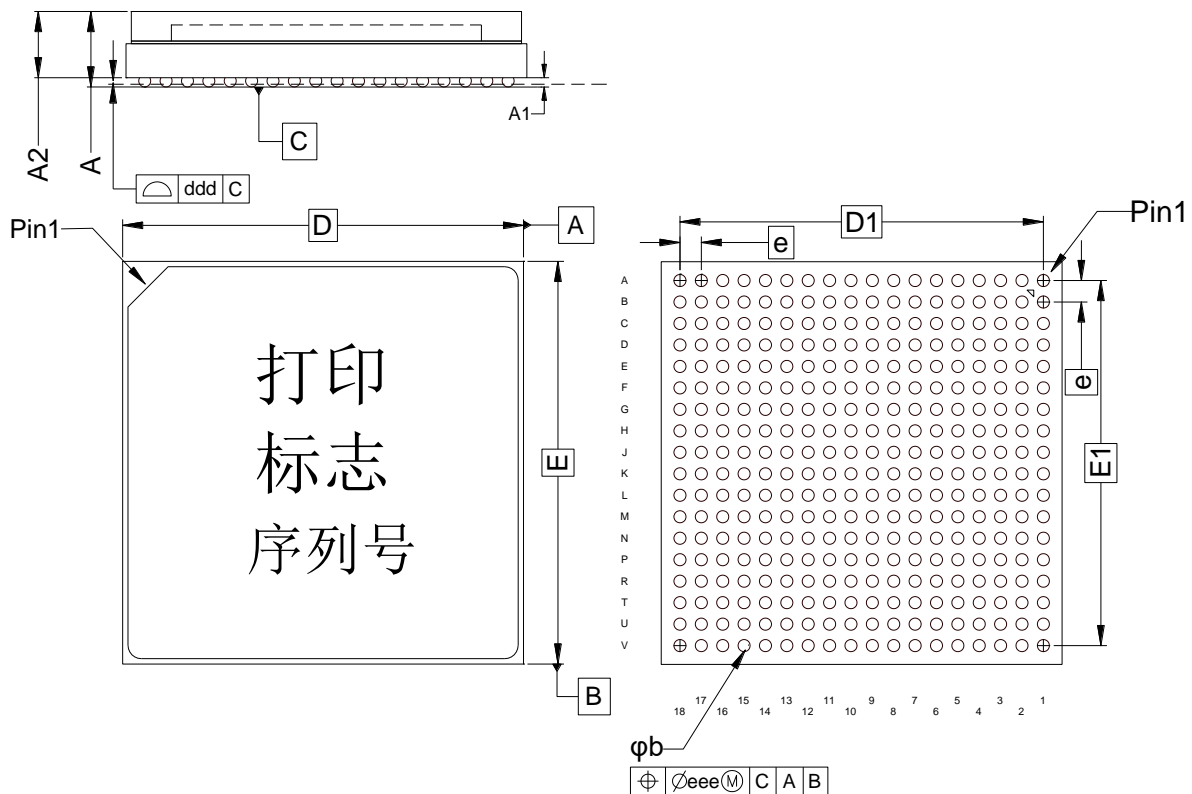
国产型号	封装形式	国外产品型号 ⁽¹⁾
-324I	PBGA324	XC7A50T-3CSG324
-325I	PBGA325	XC7A50T-3CSG325

(1) 该器件环境工作温度为-55~125℃，可兼容国外 C 级/E 级/I 级电路

2. 产品外形

2.1. 产品尺寸

器件外形按 GB/T7092-1993 规定，为 0.80mm 节距的塑料封装球栅阵列（PBGA324/PBGA325），外形尺寸见图 1。



单位为毫米

尺寸符号	数值		
	最小	公称	最大
A	—	—	3.00
A1	0.29	—	0.40
A2	2.32	—	2.61

D(E)	14.90	—	15.10
D1(E1)	13.50	—	13.70
e	—	0.80	—
b	0.40	—	0.50
ddd	—	—	0.20
eee	—	—	0.20

图 1 外形尺寸图

2.2.重量

电路重量 $2.3 \pm 0.3g$ 。

2.3.封装工艺

- a) 塑料外壳：电路采用 PBGA324/PBGA325 塑料外壳封装，基板表面镀层材料为镍、钯、金；
- b) 散热片：金属散热片；
- c) 底部填充胶：型号：U8410-99；
- d) 焊球：材料：SAC305，直径：0.45mm；
- e) 装片：倒装焊工艺；
- f) 封帽：粘盖；
- g) 标志：激光打标工艺。

3. 质量保证等级

考核标准符合 Q/YX 50008-2023 《半导体集成电路 -324I 型现场可编程门阵列电路详细规范》或 Q/YX xxxxxx-2023 《半导体集成电路 -325I型现场可编程门阵列电路详细规范》要求。

4. 基本工作原理简述

4.1. 电路功能框图

该款 FPGA 芯片主要由可编程逻辑模块（CLB）、输入输出模块（IOB）、36Kbit 容量存储器模块（BRAM）、乘法器（DSP）、时钟管理模块（CMT）以及互连布线模块等资源组成。电路功能框图如图 4 所示：

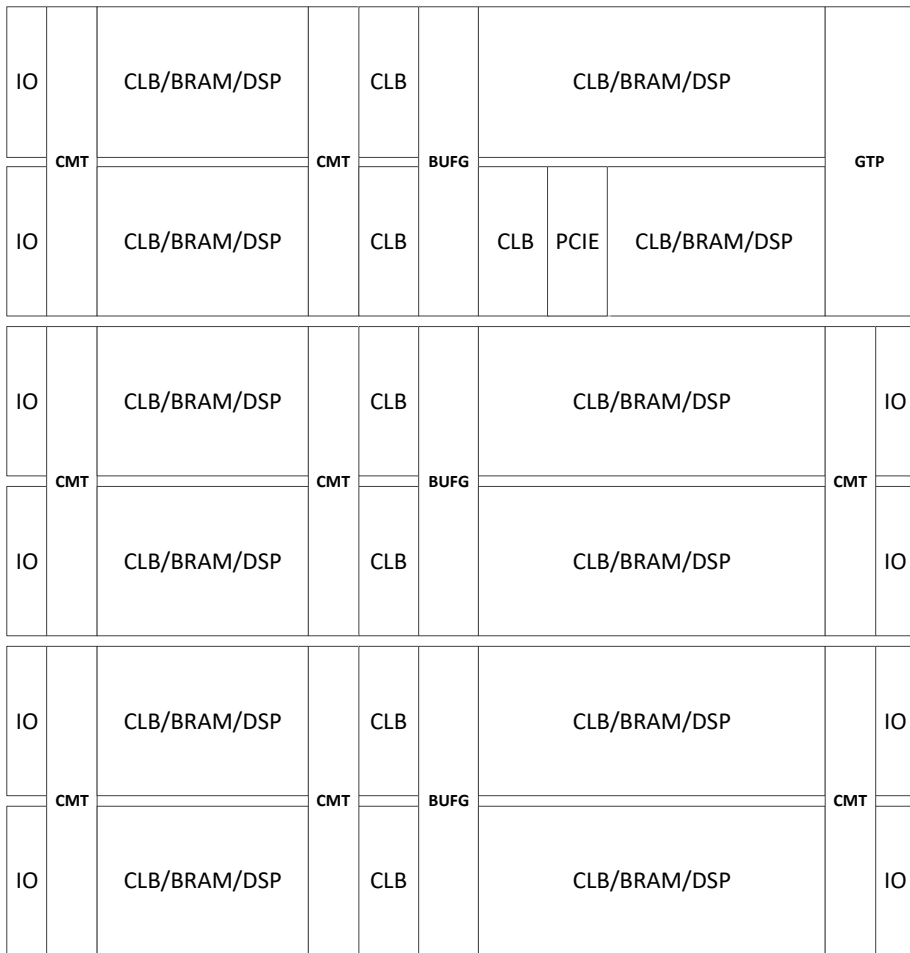


图 4 功能框图

4.2. 封装形式和引脚说明

器件采用 PBGA 封装，引出端排列图如图 5 所示，管脚定义参考文件《系列 FPGA 管脚定义》：

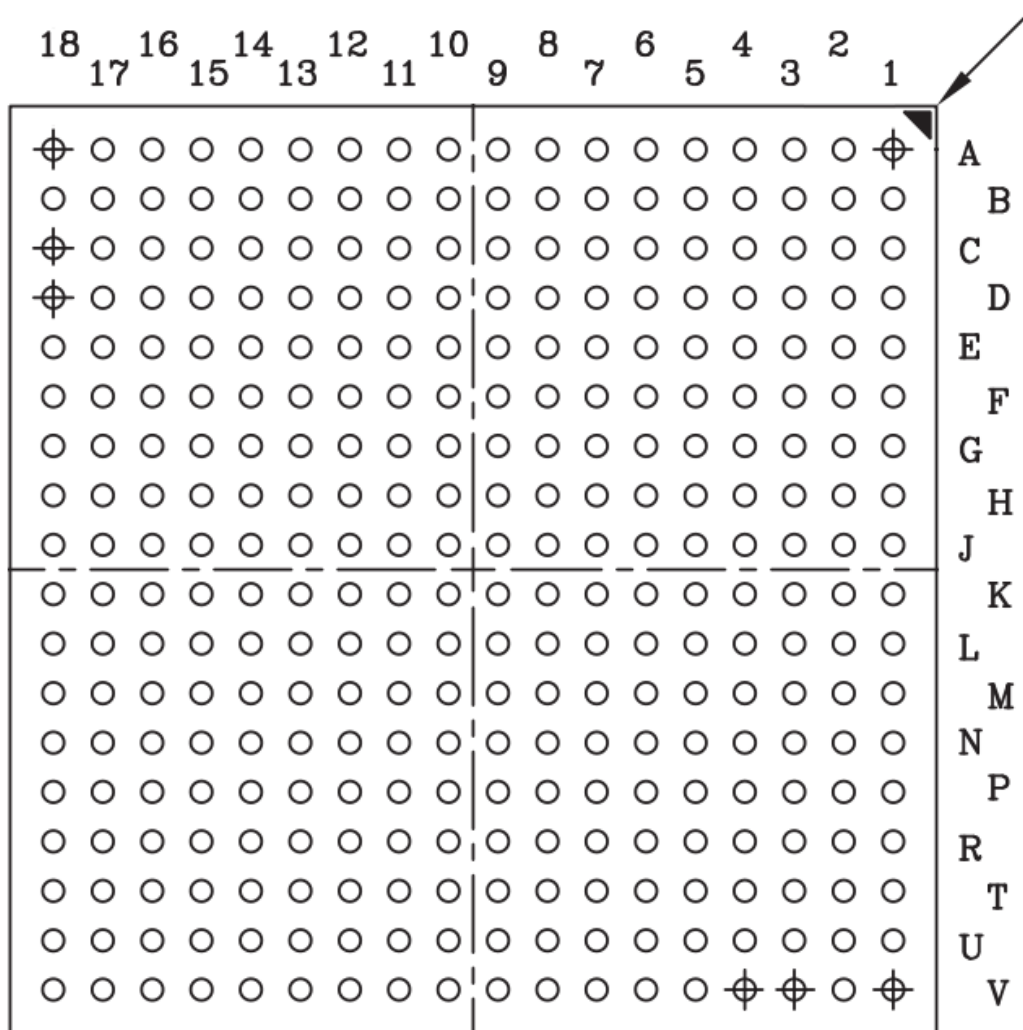


图 5 引出端排列图(底视图)

4.3. 功能描述

用户可编程门阵列结构框图如图 4 所示，主要由以下单元构成： ➤ CLB

- BRAM
- 时钟结构
- SelectIO 接口
- DSP
- 高速收发器
- XADC
- PCI Express 集成块

4.3.1. 可编程逻辑模块(CLB)

可配置逻辑块（CLB）提供高级的高性能 FPGA 逻辑包括：

- 六输入查找表（LUT）技术

- 可选双 LUT5（5 输入 LUT）
- 分布式存储器和移位寄存器逻辑功能
- 用于运算功能的专用高速进位逻辑
- 宽复用器，可有效利用

CLB 是用于实现时序电路和组合电路的主要逻辑资源。每一个 CLB 通过连接一个开关矩阵以访问通用布线矩阵。每个 CLB 元素都连接到一个交换矩阵，以访问通用路由矩阵（如图 6 所示）。CLB 元素包含一对 Slice。

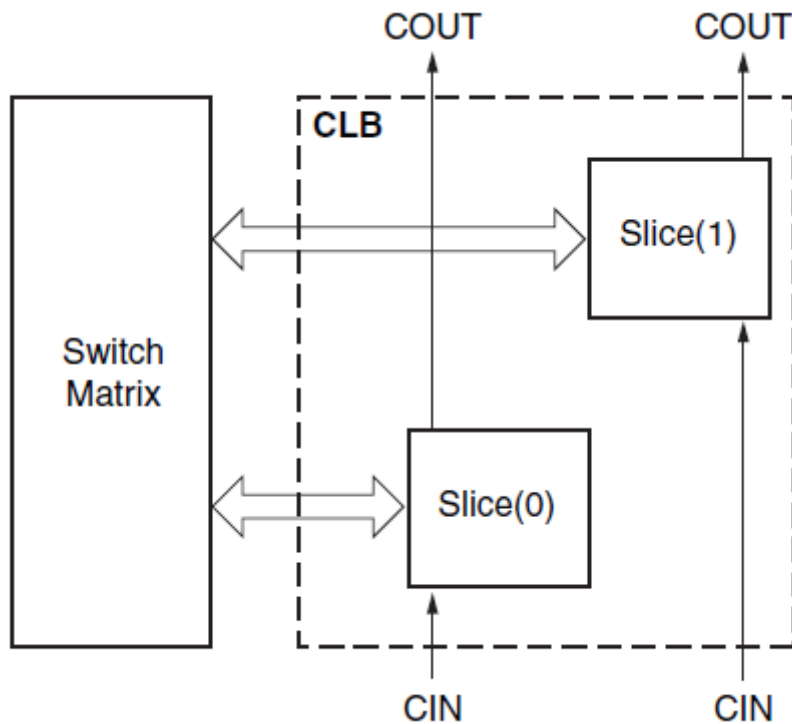


图 6 CLB 结构框图

系列 FPGA 中的 LUT 可以配置为具有一个输出的 6 输入 LUT，或者配置为具有单独输出，但具有公共地址或逻辑输入的两个 5 输入 LUT。每个 5 输入 LUT 输出可以选择在触发器中触发。四个这样的 6 输入 LUT 和八个触发器以及多路复用器和算术进位逻辑组成一个 Slice，两个 Slice 组成一个 CLB。每个 Slice 中的四个触发器（每个 LUT 一个）可以选择配置为锁存器。在这种情况下，该 Slice 中剩余的四个触发器必须保持未使用状态。

在 300T 所有的 Slice 中大约三分之二是 SLICEL，用于实现逻辑；其余的是 SLICEM，可以将其 LUT 用作分布式 64 位 RAM 或 32 位移位寄存器（SRL32）或两个 SRL16。通过综合工具实现高效的逻辑，算术和存储器功能。

4.3.1.1 Slice 功能描述

每个 CLB 可以包含两个 SLICEL 或一个 SLICEL 和一个 SLICEM，每个 Slice 由四个 6 输入 LUT、八个存储单元、多路复用器和进位逻辑组成。

- Slice (0) - 位于 CLB 底部和左列
- Slice (1) - 位于 CLB 顶部和右列

这两个 Slice 彼此之间没有直接连接，并且每个类型 Slice 都形成一列。列中的 Slice 之间有独立的进位链。图 7 为电路左下角的四个 CLB 的 Slice 相对位置关系。X 为 Slice 的横坐标，Y 为 Slice 的纵坐标。

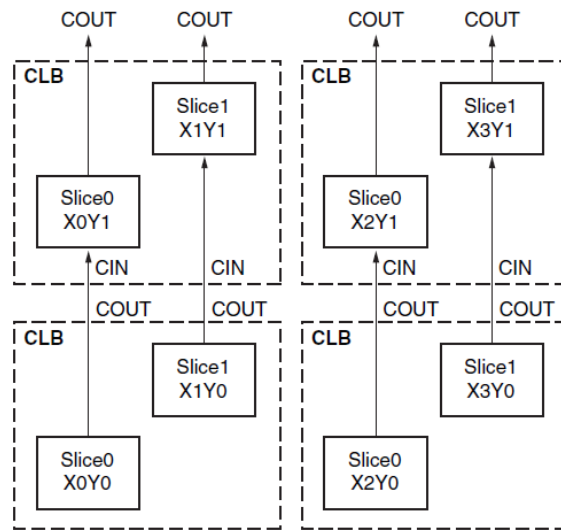


图 7 CLBs 和 Slices 的行列关系

4.3.1.2 查找表(LUT)

系列 FPGA 中的函数由 6 个输入查找表 (LUT) 实现。一个 Slice (A、B、C 和 D) 中的四个 LUT 各有六个独立输入 (A 输入-A1 到 A6) 和两个独立输出 (O5 和 O6)。LUT 可以实现：

- 任意定义的六输入布尔函数
- 两个任意定义的五输入布尔函数，只要这两个函数共享公共输入
- 两个任意定义的 3 和 2 输入或更少的布尔函数

当作为六输入函数使用时：

- A1-A6 作输入
- O6 作输出

当作为两个五输入或更少的函数使用时：

- A1 - A5 作输入
- A6 驱动高

• O5 和 O6 作输出

4.3.1.3 存储单元

Slice 另一个重要组成部分是存储单元，主要用作时序电路的触发器和锁存器，每个 Slice 有八个存储单元。一个 Slice 中有两种类型的存储单元，如图 8 所示：

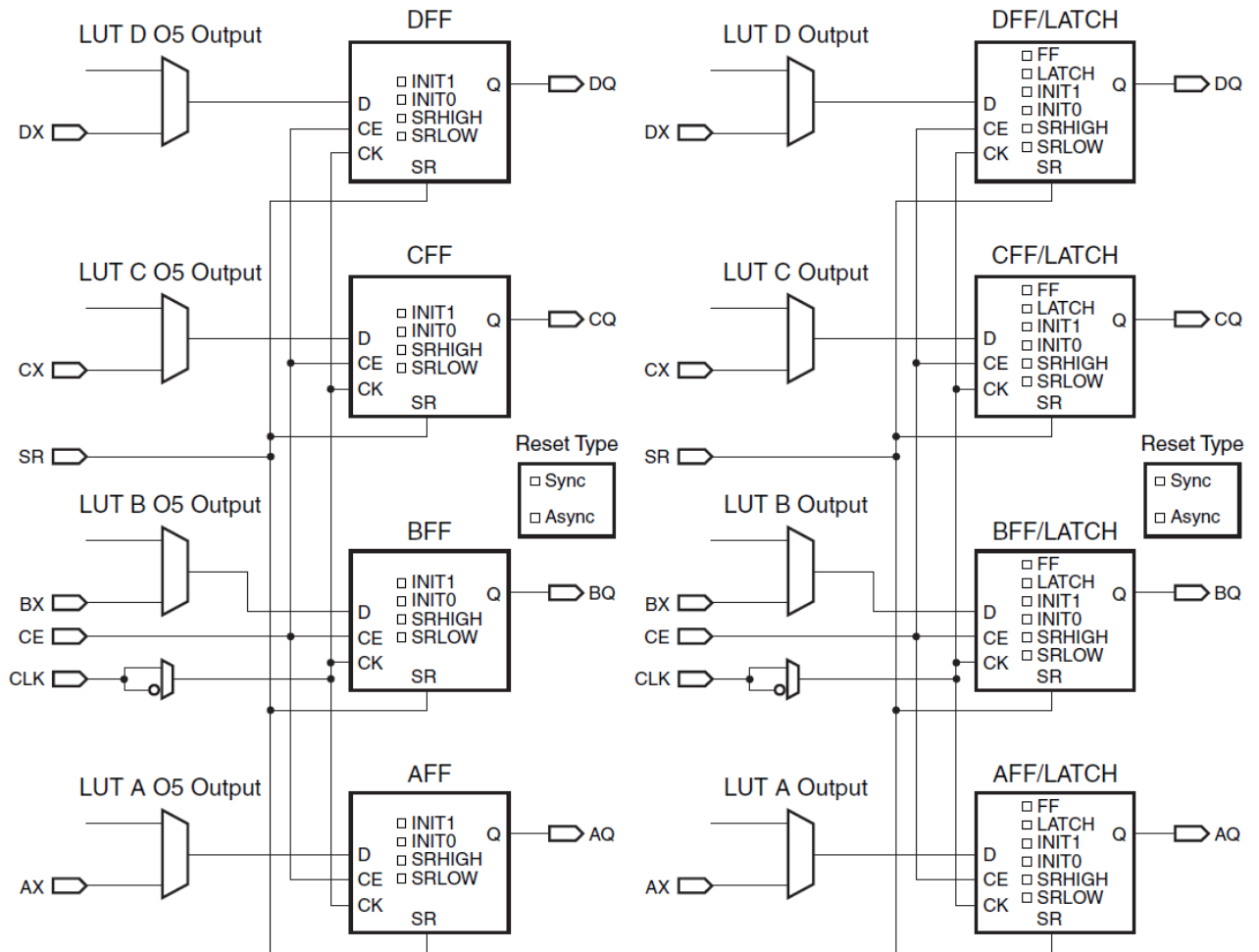


图 8 两种类型存储单元

- 右边四个存储单元可以配置为边沿触发 D 型触发器或电平敏感锁存器。
- 当右边存储单元配置为锁存器且 CLK 为低电平时，锁存器是透明的。
- 左边四个存储单元只能配置为边沿触发的 D 型触发器。
- 当前右边四个存储单元配置为锁存器时，左边四个存储单元将无法使用。

4.3.2. Block RAM

Block RAM 是 FPGA 的存储模块资源，与 SliceM 实现的分布式 RAM 功能类似，但是 Block RAM 容量更大，主要用于 FPGA 内部数据缓存和异步时钟域的通信。系列 FPGA 具有以下特点：

- 每个 Block RAM 最多可以存储 36 Kbits 的数据。

- 支持两个独立的 18Kb 块，或单个 36Kb 块 RAM。
- 可将 36Kb Block RAM 可以设置为简单双端口（SDP）模式，数据宽度增加一倍，达到 72 位。
- 将 18Kb Block RAM 设置为简单的双端口模式，将数据宽度加倍至 36 位。
- 简单的双端口 RAM 在一侧支持固定宽度的数据端口设置，在另一侧支持可变的数据端口宽度设置。
- 无需任何外部逻辑可将两个相邻的 Block RAM 组合到一个更深的 64K x 1 存储器中。
- 每个 36 Kb Block RAM 或 36 Kb FIFO 提供一个 64 位纠错编码块。提供单独的编码/解码功能。能够在 ECC 模式下注入错误。
- 锁存和寄存器输出模式，均支持同步设置/复位。
- 具有独立的同步置位/复位引脚，可独立控制块 RAM 中输出寄存器或输出锁存器级的置位/复位。

4.3.3. 时钟资源

系列 FPGA 时钟资源通过专用的全局时钟、区域和 I/O 时钟资源来实现复杂或简单的时钟要求。通过时钟管理块（CMT）提供时钟频率合成，去歪斜和抖动过滤功能。设计时钟功能时，不建议使用非时钟资源。系列 FPGA 时钟资源特点如下：

- 全局时钟树可为整个设备中的同步元素提供时钟。
- I/O 和区域时钟树最多可为三个垂直相邻的时钟区域提供时钟。
- CMT 位于 I/O 列旁边的 CMT 列中，每个 CMT 包含一个混合模式时钟管理器（MMCM）和一个锁相环（PLL）。
- 系列 FPGA 被划分成多个时钟区域，每个时钟区域包括了跨越 50 个 CLB 和一个 I/O bank（50 个 I/O）的区域中的所有同步元素（例如：CLB，I/O，串行收发器，DSP，Block RAM，CMT）。

4.3.3.1 时钟区域结构

时钟系统包括时钟管理单元 CMT（PLL 和 MMCM（混合模式时钟管理器）和时钟路由（时钟缓冲器和专用时钟线）。器件被时钟路由划分若干块，每一块成为一个时钟区域。系列 FPGA 时钟结构如图 9 所示：

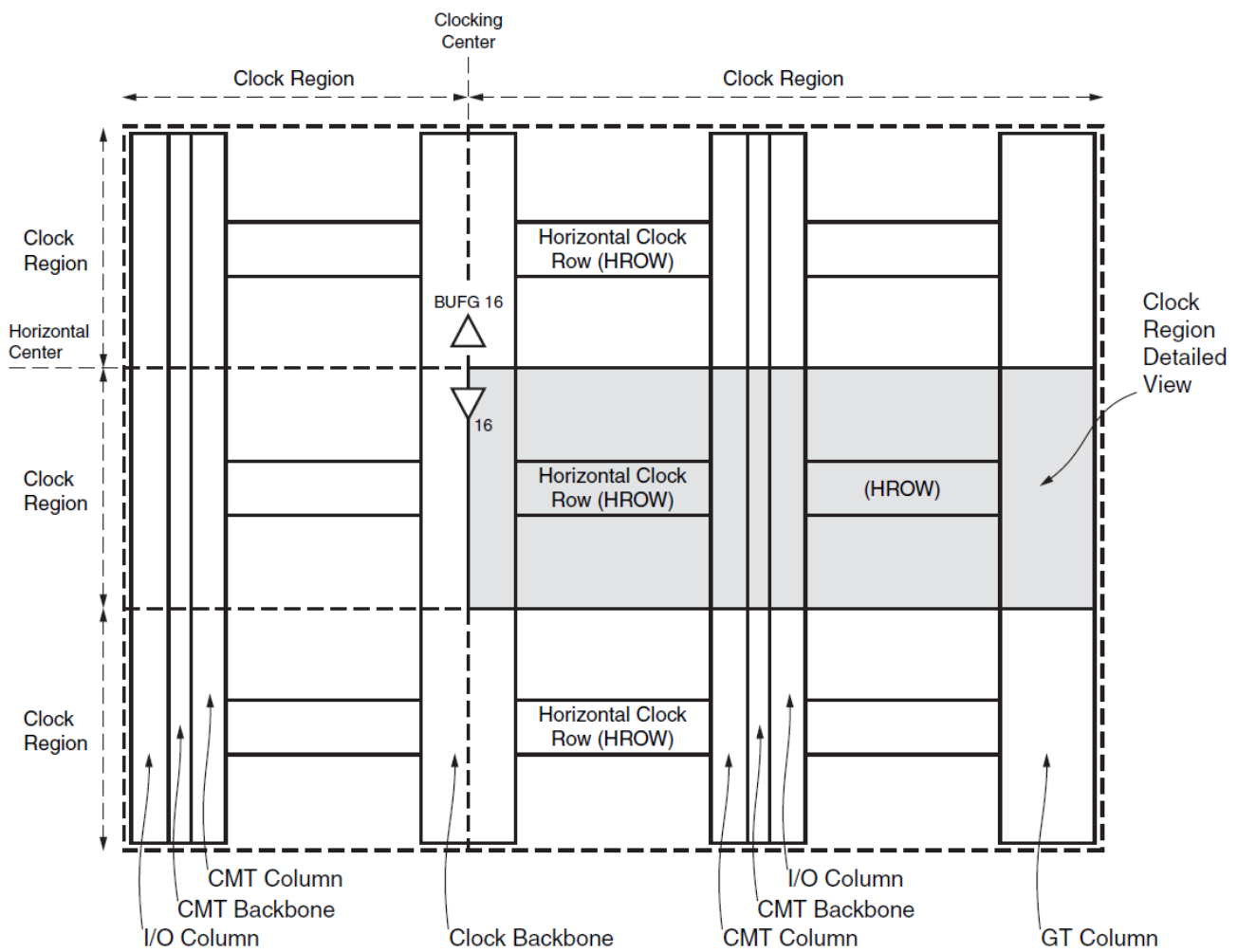


图 9 系列 FPGA 时钟结构

电路时钟区域划分原则：

- 垂直时钟中心线（时钟主干）将设备划分为相邻的左侧和右侧区域，而水平中心线将设备划分为顶部和底部。
- 时钟主干中的资源镜像到水平相邻区域的两侧，从而将某些时钟资源扩展到水平相邻区域。
- 顶部和底部划分将两组全局时钟缓冲区（BUFG）分开，并对它们的连接方式施加了一些限制。
- BUFG 不属于时钟区域，并且可以到达设备上的任何时钟点。
- 所有水平时钟资源都包含在时钟区域水平时钟行（HROW）的中心，垂直、非区域时钟资源包含在时钟主干或 CMT 主干中。

4.3.3.2 CMT 结构

系列 FPGA 的时钟管理块（CMT）包含一个混合模式时钟管理器（MMCM）和一个锁相环（PLL）。MMCM 和 PLL 结构类似，但是 MMCM 比 PLL 多一个数字式相位动态调整模块，可以实现更加精准的相移，也可完全覆盖 PLL 的功能。CMT 结构框图如下所示：

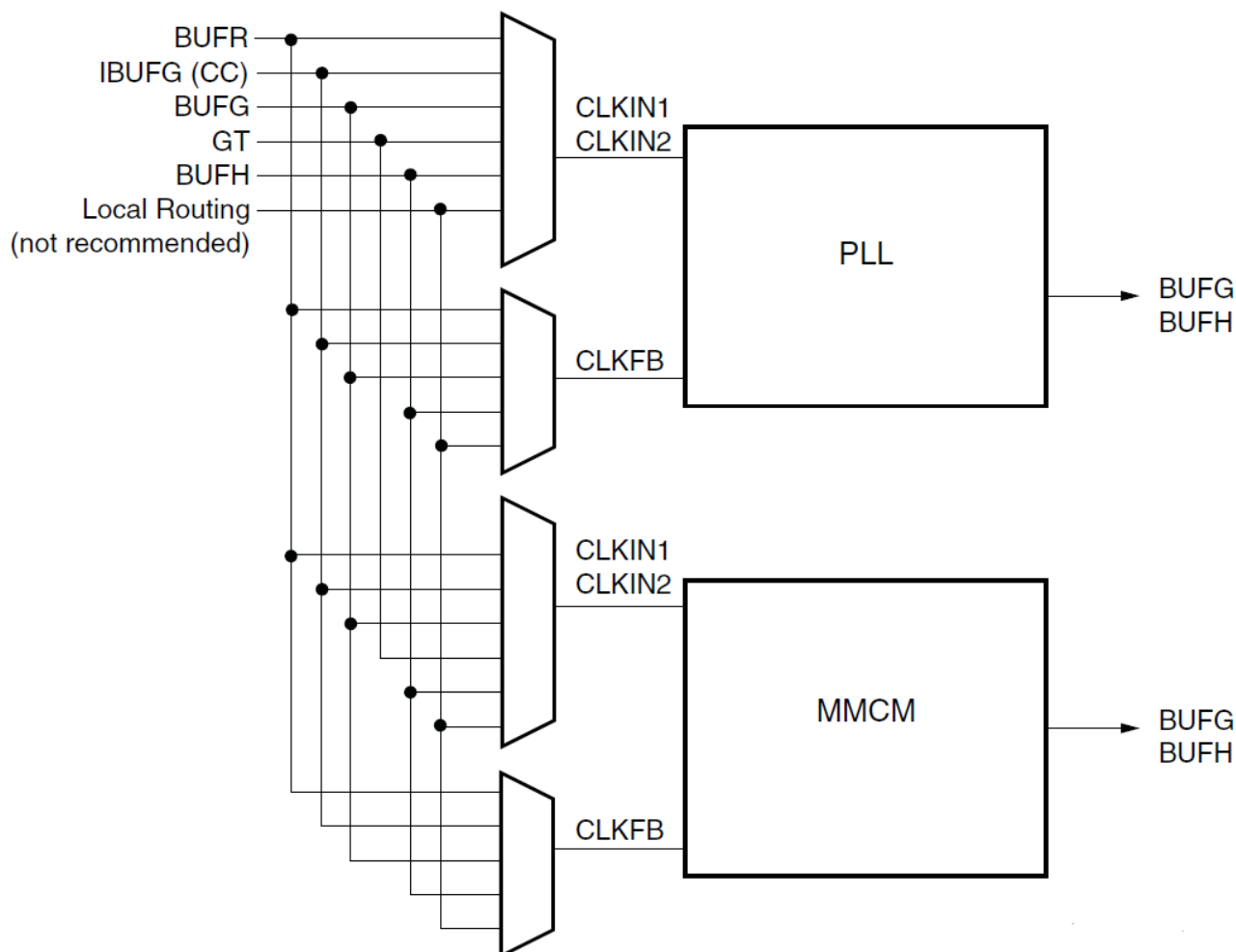


图 10 CMT 结构框图

4.3.4. SelectIO 接口

系列 FPGA 的 SelectIO 接口拥有符合全新 I/O 标准的更高速度，同时 FPGA 逻辑与有关 I/O 之间的接口、逐比特校正和控制基本保持不变。此外，新系列产品还针对业界领先的 1.25G LVDS 和 1066 Mb/s DDR3 存储器接口速度提供了支持；SelectIO 接口包含以下功能：

- 组合输入/输出
- 三态输出控制
- 寄存器输入/输出
- 寄存器三态输出控制
- 双倍数据速率（DDR）输入/输出

- DDR 输出三态控制
- IDELAY 为用户提供可调节的高分辨率延迟抽头的控制
- ODELAY 为用户提供可调节的高分辨率延迟分接头的控制
- SAME_EDGE 输出 DDR 模式
- SAME_EDGE 和 SAME_EDGE_PIPELINED 输入 DDR 模式

图 12 为的 I/O 结构。SelectIO 输入，输出和三态驱动器位于输入/输出缓冲区（IOB）中。

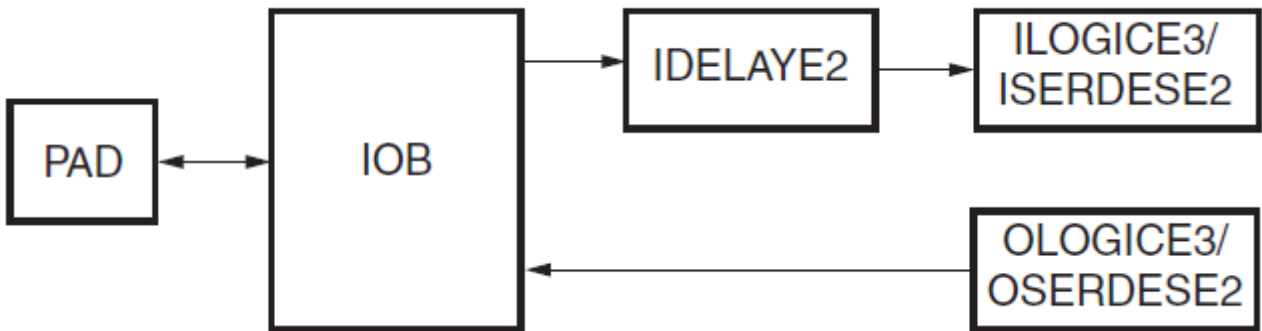


图 11 BANK IO 结构

4.3.5.DSP

DSP 是 FPGA 的重要组成部分，主要用于实现各种滤波器等复杂算法，而无需使用 FPGA 的通用逻辑（CLB），DSP Slice 由一个乘法器、一个累加器、寄存器和多路复用器组成组成。多路复用器由动态控制信号（例如 OPMODE，ALUMODE 和 CARRYINSEL）控制，使 DSP 具有更大的灵活性。与组合乘法相比，使用寄存器和动态 opmode 的设计更能充分利用 DSP slice 的功能。系列 FPGA 集成的 DSP 资源支持的功能如下：

- DSP Slice 支持顺序和级联操作；
- 支持快速傅立叶变换（FFT），浮点运算，计算（乘法，加/减，除法），计数器和大型总线多路复用器；
- 支持同步复位和时钟使能，双 A 输入流水线寄存器，模式检测，逻辑单元功能，单指令/多数据（SIMD）功能；
- MACC 和 Add-Acc 可扩展至 96 位；
- 支持收敛和对称舍入，终端计数检测和计数器自动复位；
- 支持顺序累加器的上溢/下溢检测。

4.3.6. 高速收发器

系列 FPGA 集成高速收发器，数据传输率高达 6.6 Gbps。并与 FPGA 的可编程逻辑资源紧密集成。可提供高带宽数据通信的同时降低整机功耗。

4.3.7. XADC

XADC 是实现系列 FPGA 新增的模拟混合信号（AMS）功能的基本模块。XADC 包括两个 12 位、1MSPS 的 ADC 和片上传感器。通过将高质量的模拟模块与可编程逻辑的灵活性相结合，可以为各种应用制作定制的模拟接口。

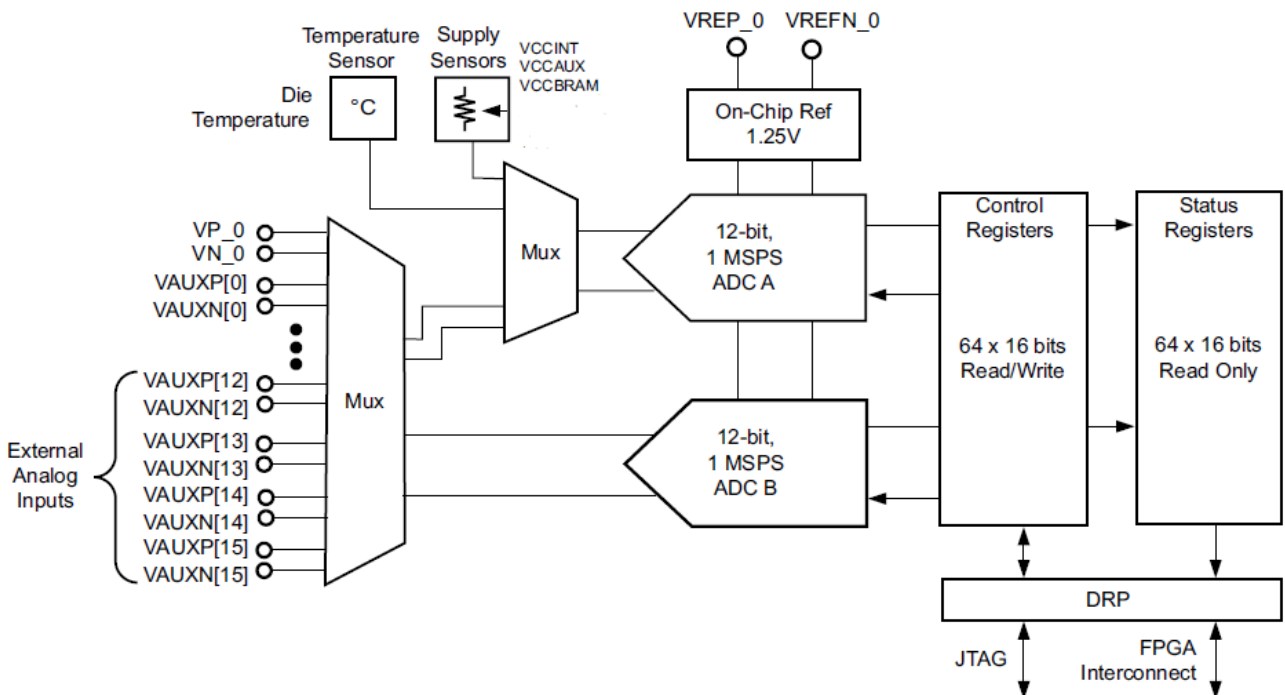


图 12 XADC 结构框图

XADC 主要能够实现的功能如下：

- FPGA 温度采集（最大误差为±4℃）
- FPGA 供电电压采集（最大误差为±1%）；
- 多达 17 个用户可配置的模拟输入；
- 支持 JTAG 访问 ADC 测量值。

4.3.8. PCI Express 集成块

PCIe 集成块具有以下特点：

- 高性能，高度灵活，可扩展且可靠的通用 I/O 内核
- 支持 2.5 GT/s 线速度
- 支持 1 通道，2 通道，4 通道操作

- 支持弹性缓冲器和时钟补偿
- 自动时钟数据恢复
- 支持端点和根端口配置
- 支持 8B / 10B 编码和解码
- 支持 LANE 反转和 LANE 极性反转

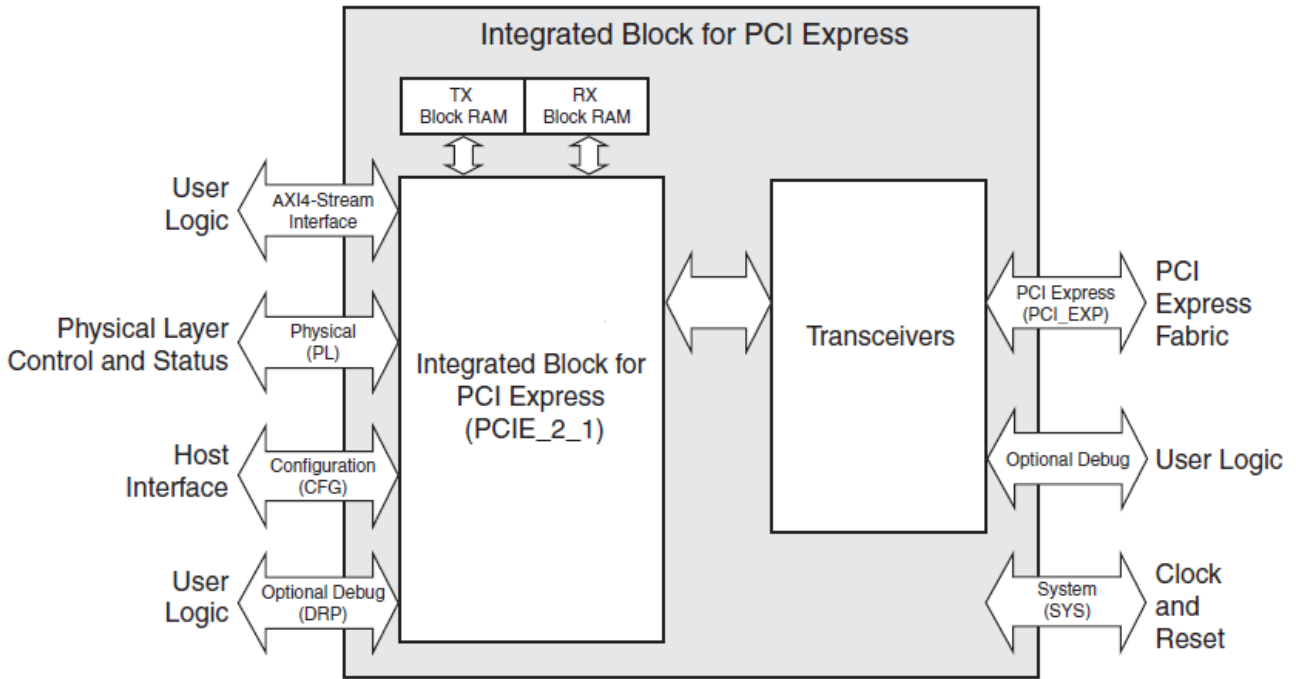


图 13 PCIe 功能块和接口示意图

系列 FPGA 在内部实例化了用于 PCI Express 的 FPGA 集成模块。集成块遵循 PCI Express 基本规范分层模型，该模型由物理层，数据链路层和事务层组成。集成块符合 PCI Express R2.1 基本规范。

PCI Express 集成模块的主要接口：

- 系统（SYS）界面
- PCI Express（PCI_EXP）接口
- 配置（CFG）界面
- 传输接口（AXI4-Stream）
- 物理层控制和状态（PL）界面

PCIe 内核使用数据包在各个模块之间交换信息。主要功能是将接收到的数据包从其物理层表示转换为数据链路层和事务层表示。具体流程为数据包在事务和数据链路层中形成，并将

信息从发送组件传送到接收组件。在接收端，接收单元的每一层都处理传入的数据包，剥离相关信息，然后将数据包转发到下一层。

5. 极限工作条件和推荐工作条件

5.1. 极限工作条件

表 1 绝对最大额定值

符号	描述 ⁽¹⁾	数值		单位
		最小值	最大值	
V _{CCINT}	内核电源电压	-0.5	1.0	V
V _{CCAUX}	辅助电源电压	-0.5	2.0	V
V _{CCBRAM}	BRAM 存储器供电电压	-0.5	1.1	V
V _{CCO}	IO 端口供电电压	-0.5	3.6	V
V _{CCAUX_IO}	端口补充电压	-0.5	2.06	V
V _{REF}	输入参考电压	-0.5	2.0	V
V _{IN}	HR IO 输入电压	-0.4	V _{CCO} +0.55	V
	除 TMDS_33 外的差分端口和 V _{REF} 电压(V _{CCO} =3.3V)	-0.4	2.625	V
V _{CCBATT}	密钥存储器电池备用电源电压	-0.5	2.0	V
GTP Transceiver				
V _{MGTAVCC}	GTP 收发电路模拟供电电压	-0.5	1.0	V
V _{MGTAVTT}	GTP 收发端口模拟供电电压	-0.5	1.32	V
V _{MGTREFCLK}	GTP 传输器参考时钟输入电压	-0.5	1.32	V
V _{IN}	接收端和发送端输入电压	-0.5	1.26	V
XADC				
V _{CCADC}	XADC 供电电压	-0.5	2.0	V
V _{REFP}	XADC 参考输入	-0.5	2.0	V
Temperature				
T _{STG}	贮存温度	-65	150	°C
T _{SOL}	无铅元件主体最高焊接温度	-	250 (10s)	°C
T _C	最高工作温度	-	125	°C

注意：

- (1) 产品实际使用条件超过表中列出的最大绝对额定值时，可能会对器件造成永久性的损伤。最大绝对额定值只是极限耐受条件，不是产品正常工作条件，任何超过推荐工作条件的持续工作，可能会对器件的可靠性造成影响。

5.2. 推荐工作条件

表 2 推荐工作条件

符号	描述 ⁽¹⁾	数值			单位
		最小值	典型值	最大值	
V _{CCINT}	内核电源电压	0.81	0.85	0.9	V
V _{CCAUX}	辅助电源电压	1.71	1.8	1.89	V
V _{CCBRAM}	BRAM 存储器供电电压	0.81	0.85	0.9	V
V _{CCO}	IO 端口供电电压	1.14	–	3.465	V
V _{IN}	IO 输入电压	–0.2	–	V _{CCO} +0.2	V
	除 TMD5_33 外的差分端口和 V _{REF} 电压	–0.2	–	2.625	V
V _{CCBATT}	密钥存储器电池备用电源电压	1.0	–	1.89	V
GTP Transceiver					
V _{MGTAVCC}	GTP 收发电路模拟供电电压	0.81	0.85	0.9	V
V _{MGTAVTT}	GTP 收发端口模拟供电电压	1.17	1.2	1.23	V
XADC					
V _{CCADC}	XADC 供电电压	1.71	1.80	1.89	V
V _{REFP}	XADC 参考输入	1.20	1.25	1.30	V
Temperature					
T _A	工作温度	–55	–	125	°C

6. 主要技术参数指标

6.1. 电特性参数

6.2. 潮湿敏感度等级

3 级

7. 应用指南

7.1. 关键参数时序图/典型应用外围

器件通过将编程数据下载到内部编程存储器中来进行编程。由于的内部存储器是易失性存储器，所以它需要在每次上电时进行配置，比特流文件通过专门的配置引脚加载到器件中，在这些用来编程的管脚中一些是专用的编程管脚，而另外的管脚在编程完成之后可以重新用作一般目的的输入输出。下表为该器件的配置管脚：

表 4 配置引脚

引脚名称	类型	类型	描述
CFGBVS	输入	专用	配置 BANK(BANK0)电压选择 当 CFGBVS 为高时，BANK0 电压为 2.5V 或 3.3V； 当 CFGBVS 为低时，BANK0 电压小于等于 1.8V； CFGBVS 必须接高或者接低，不允许悬空。若其他 BANK 参与配置，端口电压需要与 BANK0 匹配。
M[2:0]	输入	专用	配置模式选择 M[2:0]用于定义 FPGA 的配置模式，各种配置模式对应额 M[2:0] 的值如表 5 所示。M[2:0]的值通过 M[2:0]引脚连接小于等于 1K Ω 的上下拉电阻(上拉电阻的电源端与 V _{CC0_0} 相同)或直连 V _{CC0_0} 和 GND 获得。
TCK	输入	专用	IEEE Std 1149.1 (JTAG) Test 时钟管脚， 用于连接下载器的 TCK 脚，实现程序下载、上传和在线调试，建议接弱上拉电阻（例如 10K Ω ），保证在无下载器的情况下 TCK 保持为高。
TMS	输入	专用	IEEE Std 1149.1 (JTAG) Test 模式选择管脚， 用于连接下载器的 TMS 脚，实现程序下载、上传和在线调试，建议接弱上拉电阻（例如 10K Ω ），保证在无下载器的情况下 TMS 保持为高。
TDI	输入	专用	IEEE Std 1149.1 (JTAG) Test 数据输入管脚， 单个器件时，用于连接下载器的 TDI 脚， 多个器件配置成 JTAG 菊花链时，如果是第一个器件，则连接下载器的 TDI 管脚，否则，连接前一个器件的 TDO 脚。 用于实现程序下载、上传和在线调试，
TDO	输出	专用	IEEE Std 1149.1 (JTAG) Test 数据输出管脚， 单个器件时，用于连接下载器的 TDO 脚， 多个器件配置成 JTAG 菊花链时，如果是最后一个器件，则连接下载器的 TDO 管脚，否则，连接下一个器件的 TDI 脚。 用于实现程序下载、上传和在线调试，

引脚名称	类型	类型	描述
PROGRAM_B	输入	专用	<p>当 PROGRAM_B 产生低脉冲时，可清除 FPGA 的配置并初始化一个新的配置时序；</p> <p>PROGRAM_B 需要连接一个$\leq 4.7k\Omega$ 的上拉电阻到 V_{CC0_0} 以保证获得一个稳定的高输入</p>
INIT_B	双向、漏极开路	专用	<p>在初始化完成前或配置错误时，INIT_B 为 0</p> <p>完成 FPGA 初始化过程后，INIT_B 释放到高 Z，此时外部电阻器将 INIT_B 拉高。</p> <ul style="list-style-type: none"> INIT_B 为漏极开路，可做线与逻辑； INIT_B 如保持在低位，可在初始化过程结束后暂停加电配置序列； 初始化过程结束后，当在 INIT_B 输入端检测到高电平时，FPGA 继续执行 M[2:0]引脚设置指示的其余配置序列。 <p>INIT_B 需要连接一个$\leq 4.7k\Omega$ 的上拉电阻到 V_{CC0_0}</p>
DONE	双向，漏极开路	专用	<p>作为配置序列完成标志，为高时代表配置完成，DONE 为漏极开路，虽然内部集成了 10K 上拉电阻，但是还是建议外部接 330Ω 上拉到 V_{CC0_0}</p>
CCLK	输入或输出	专用	<p>配置时钟 CCLK 在除 JTAG 模式以外的所有模式下运行同步 FPGA 配置序列。</p> <ul style="list-style-type: none"> 从模式：CCLK 是输入，需要连接到外部时钟源。 主模式：FPGA 提供配置时钟并驱动 CCLK 作为输出。 JTAG 模式：CCLK 为高阻态，可以保持未连接状态。 <p>注意：应将 CCLK 视为关键时钟信号，确保良好的信号完整性</p>
PUDC_B	输入	多用途	<p>使能配置期间上拉</p> <p>配置 PUDC_B 电平，以控制器件在上电后和配置期间是否使能 SelectIO 引脚上的内部上拉电阻。</p> <ul style="list-style-type: none"> 当 PUDC_B 为低电平时，每个 SelectIO 引脚上启用内部上拉电阻。 当 PUDC_B 为高电平时，每个 SelectIO 引脚上的内部上拉电阻均被禁用。 <p>PUDC_B 必须通过$\leq 1k\Omega$ 电阻连接到 V_{CC0_14} 或 GND。当 PUDC_B 连接到 GND 时，上电期间内部上拉的激活时间受上电顺序影响。</p> <p>如果 IO 端口的信号初始状态很重要或者影响整机系统运行，强烈建议在 IO 端口单独外接上下拉电阻。</p> <p>警告：在配置之前和配置期间，请勿让此引脚悬空。</p>

引脚名称	类型	类型	描述
EMCCLK	输入	多用途	<p>配置时钟输入（可选）</p> <ul style="list-style-type: none"> •主模式：FPGA 可以选择 EMCCLK 作为时钟源，而不是内部振荡器。通过位流设置（ExtMasterCclk_en）对 EMCCLK 频率进行分频，并由主 CCLK 引脚输出。 •JTAG 和从属模式：EMCCLK 可忽略，且可以保持未连接状态相比较于内部振荡器，外接时钟可以让 CCLK 时钟频率更加稳定。
CSI_B	输入	多用途	<p>片选输入</p> <p>低电平有效输入，用于启用 FPGA SelectMAP 配置接口。</p> <ul style="list-style-type: none"> •主 SelectMAP 模式：直接将 CSI_B 或通过$\leq 1k\Omega$ 电阻连接到 GND。 •从 SelectMAP 模式：外部配置控制器可以控制 CSI_B，以片选 SelectMAP 总线上的 FPGA，或者在并行配置菊花链中，连接到上游 FPGA 的 CSO_B 引脚。 •其他模式：CSI_B 被忽略，可以保持未连接状态。
CSO_B	输出（漏极开路）	多用途	<p>片选输出</p> <p>低电平有效漏极开路输出，可将其驱动为低电平，以并行配置菊花链的形式启用下游 FPGA 的从 SelectMAP 配置接口。</p> <ul style="list-style-type: none"> •BPI（异步只读）和 SelectMAP 模式：如果该设备处于并行配置菊花链且具有下游设备，则连接至外部 330Ω 上拉电阻至 VCCO_14 并连接至下游设备的 CSI_B 输入。否则，CSO_B 为高 Z。 •串行模式：CSO_B 是用作 DOUT 引脚的多功能引脚。请参阅此表中的 DOUT 行。 •其他模式：CSO_B 为高阻态，可以保持未连接状态。
DOUT	输出	多用途	<p>数据输出</p> <p>DOUT 是串行配置菊花链的数据输出。</p> <ul style="list-style-type: none"> •串行和 SPI（仅 x1）模式：如果设备处于串行配置菊花链模式，则连接到下游从串行 FPGA 的 DIN。否则，DOUT 为高阻态。 •BPI 和 SelectMAP 模式：DOUT 是多功能引脚，用作 CSO_B 引脚。请参阅此表中的 CSO_B 行。 •其他模式：DOUT 为高阻 Z 且可保持未连接状态。 <p>注意：启用 DebugBitstream 选项时，DOUT 可以输出数据。</p>

引脚名称	类型	类型	描述
RDWR_B	输入	多用途	<p>读/写端口</p> <p>RDWR_B 确定 SelectMAP 数据总线的方向。当 RDWR_B 为高电平时，FPGA 将配置数据输出到 SelectMAP 数据总线上。当 RDWR_B 为低电平时，外部控制器可以通过 SelectMAP 数据总线将配置数据写入 FPGA。</p> <ul style="list-style-type: none"> •主 SelectMAP 模式：RDWR_B 应接$\leq 1k\Omega$ 下拉电阻或直连到 GND。 •从 SelectMAP 模式：外部设备控制 RDWR_B 信号，控制 SelectMAP 数据总线的方向，以便从 SelectMAP 接口读取/写入 SelectMAP 接口。 •其他模式：RDWR_B 被忽略，可以保持未连接状态。
D00_MOSI	双向	多用途	<p>主输出，从输入（SPI）</p> <p>FPGA（主）SPI 模式输出引脚，用于将相关指令发送到 SPI（从）Flash 设备。</p> <ul style="list-style-type: none"> •SPI 模式：连接至 SPI Flash 数据输入引脚。在指令和地址发送到 SPI Flash 设备之后，D00_MOSI 引脚为高阻态。PUDC_B 引脚确定信号是否将被上拉。 •BPI 和 SelectMAP 模式：MOSI 用作 D00 数据输入引脚。请参阅此表中的 D [00-31]行。 •其他模式：MOSI 引脚功能不适用，该引脚在配置期间为高阻态，在配置期间被忽略，并且可以保持未连接状态。
D01_DIN	双向	多用途	<p>数据输入</p> <p>DIN 是串行数据输入引脚。默认情况下，来自 DIN 的数据在 CCLK 的上升沿捕获。</p> <ul style="list-style-type: none"> •串行和 SPI 模式：DIN 是从数据源接收串行数据的 FPGA 数据输入。将 DIN 连接到串行数据源的串行数据输出引脚。 •BPI 和 SelectMAP 模式：DIN 用作 D01 数据输入引脚。请参阅此表中的 D [00-31]行。 •JTAG 模式：DIN 被忽略。

引脚名称	类型	类型	描述
D[00-31]	双向	多用途	<p>数据总线</p> <p>D [00-31]引脚提供了 SPI x2, SPI x4, BPI 或 SelectMAP 模式的数据总线接口。</p> <p>默认情况下, 来自该数据总线的的数据在 CCLK 的上升沿捕获。</p> <ul style="list-style-type: none"> •SPI 模式: 配置从用于标准 SPI (x1) 串行数据输出和数据输入的数据总线的 D00 / MOSI 和 D01 引脚开始。比特流选项可以将 SPI Flash 读取模式切换为双输出 (x2) 或四输出 (x4) 模式。 •SelectMAP 模式: FPGA 自动进行总线宽度检测, 该功能可以确定是使用 D [00-07] (x8 总线宽度) 还是使用更宽的宽度 (x16 或 x32) 使用数据总线宽度。将用过的数据总线引脚连接到数据源上的相应数据引脚。 <p>SelectMAP x16 和 x32 数据总线宽度不支持通过 AES 加密的位流进行配置。</p> <ul style="list-style-type: none"> •BPI 模式: FPGA 自动检测总线宽度, 该功能可确定是使用 D [00-07] (x8 总线宽度) 还是使用更宽的 (x16) 数据总线。将用过的数据总线引脚连接到 BPI Flash 上的相应数据引脚。D [16-31]引脚是多功能引脚, 可用作 BPI 地址 A [00-15]引脚。请参阅此表中的 A[00-28]行。 •JTAG 模式: 不使用任何数据引脚。 •所有模式: 未使用的数据引脚为高阻态, 在配置期间会被忽略。未使用的数据引脚可以保持未连接状态
A[00-28]	输出	多用途	<p>地址总线</p> <p>A [00-28]引脚将地址输出到并行 NOR (BPI) Flash。A00 是最低有效地址位。</p> <ul style="list-style-type: none"> •BPI 模式: 将 FPGA A00 引脚连接到对所用数据总线宽度有效的最低有效 Flash 地址输入引脚, 将 FPGA 的 A[00-28]引脚连接至并行 NOR Flash 地址引脚。根据 BPI Flash 类型和使用的数据总线宽度, Flash 的最低有效地址位可以是 A1, A0 或 A-1。 •请注意, 在配置期间会驱动任何超过并行 NOR Flash 的地址总线宽度的高端地址引脚, 但在配置之后可用作 I/O。 •SelectMAP 模式: A [00-15]引脚是多功能引脚, 用作 D [16-31]数据总线引脚。请参阅此表中的 D [00-31]行。 •其他模式: A [00-28]为高阻态 Z, 在配置期间会被忽略, 并且可以保持未连接状态。
FCS_B	输出	多用途	<p>Flash 片选</p> <p>低电平有效的片选输出, 使 SPI 或 BPI Flash 器件能够进行配置。</p> <ul style="list-style-type: none"> •SPI 和 BPI 模式: 将 FPGA FCS_B 连接至 Flash 器件的片选端, 并将$\leq 4.7k\Omega$的外部上拉电阻连接至 VCCO_14。 •其他模式: FCS_B 为高阻态, 可以保持未连接状态。

引脚名称	类型	类型	描述
FOE_B	输出	多用途	Flash 输出使能 并行 NOR Flash 的输出使能控制信号（低电平有效）。 •BPI 模式：将 FPGA FOE_B 连接至 Flash 输出使能端，并将 $\leq 4.7k\Omega$ 的外部上拉电阻连接至 VCCO_15。 •其他模式：FOE_B 为高阻态，可以保持未连接状态。
FWE_B	输出	多用途	Flash 写使能 并行 NOR Flash 的写使能控制信号（低电平有效）。 •BPI 模式：将 FPGA FWE_B 连接至 Flash 写使能端，并将 $\leq 4.7k\Omega$ 的外部上拉电阻连接至 VCCO_15。 •其他模式：FWE_B 为高阻态，可以保持未连接状态。
ADV_B	输出	多用途	Flash 地址有效 并行 NOR Flash 的地址有效输出信号（低有效）。 •对于具有支持地址有效输入的 Flash 的 BPI 模式：将 FPGA ADV_B 连接至并行 NOR 闪存地址有效输入引脚，并将 $\leq 4.7k\Omega$ 的外部上拉电阻连接至 VCCO_15。对于带有不支持地址有效输入的 Flash 的 BPI 模式：不要连接 ADV_B 引脚。 •对于所有其他模式：ADV_B 为高阻 Z，并且可以保持未连接状态。
RS0, RS1	输出	多用途	配置版本选择 RS0 和 RS1 引脚是版本选择输出引脚，用于驱动并行 Flash 上的高位地址线。通常，RS0 和 RS1 在配置期间为高阻态。但是，FPGA 可以在两种可能的情况下驱动 RS0 和 RS1 引脚。 •启用 ConfigFallback 选项后，在检测到配置错误之后的回退配置过程中，FPGA 将 RS0 和 RS1 驱动为低电平。 •启动用户调用的 MultiBoot 配置时，FPGA 可以在 MultiBoot 配置过程中将 RS0 和 RS1 引脚驱动到用户定义的状态。 如果禁用了回退（默认）并且未使用 MultiBoot，或者使用了 SPI 模式，则 RS0 和 RS1 为高阻态，可以保持未连接状态。
VCCBATT	N/A	供电电压	电池供电引脚 VCCBATT 是 FPGA 内部易失性存储器的电池备用电源，该存储器存储 AES 解密器的密钥。 对于需要从易失性密钥存储区获得解密器密钥的加密比特流，当 FPGA 断电时，将此引脚连接至电池以保存密钥。 如果不需要使用易失性密钥存储区中的解密器密钥，则将此引脚连接至 GND 或 VCCAUX。 引脚名称包括“_0”组名称，但它不是 I/O，不受 VCCO_0 的影响。

支持如下 5 种编程模式：

- 主串模式
- 主 SPI 模式
- 主 BPI 模式
- 主 SelectMAP 模式
- JTAG 模式
- 从 SelectMAP 模式
- 从串模式

用编程模式管脚（M2，M1，M0）来选择编程的模式。模式选择编码列于表 5 中。

表 5 编程模式编码表

编程模式	M2	M1	M0	CCLK 方向	数据宽度
主串模式	0	0	0	Out	x1
主 SPI 模式	0	0	1	Out	x1, x2, x4
主 BPI 模式	0	1	0	Out	x8, x16
主 SelectMAP 模式	1	0	0	In	x8, x16
JTAG 模式	1	0	1	In	x1
从 SelectMAP 模式	1	1	0	In	x8, x16, x32 ⁽¹⁾
从串模式	1	1	1	In	x1

(1) 从 SelectMAP 模式的 x16 和 x32 位宽不支持位流 AES 加密

通过边界扫描端口的编程优先级最高，选择边界扫描方式就会直接关掉了其他的编程模式。MODE 管脚都有内部的上拉电阻，在没有连接的情况下默认为逻辑高电平。但是仍然建议在外部对编程管脚上拉操作。

根据配置模式，与该模式关联的接口引脚可以跨越 BANK0，BANK14 和 BANK15。通常，所有三个 BANK 都应设置相同的 VCCO 电压电源，以确保所有配置的 I/O 电压接口一致。不同配置模式对 BANK0，BANK14、BANK15 以及 CFGBVS 接口的电压要求如下表：

表 6 不同配置模式下相关 BANK 电压和 CFGBVS 电平

配置模式	使用的 bank	配置接口 IO 电平	V _{cco_0}	V _{cco_14}	V _{cco_15}	CFGBVS
JTAG	0	3.3V	3.3V	任意	任意	V _{cco_0}
		2.5V	2.5V	任意	任意	V _{cco_0}
		1.8V	1.8V	任意	任意	GND
		1.5V	1.5V	任意	任意	GND
串行，SPI 或 SelectMAP	0,14	3.3V	3.3V	3.3V	任意	V _{cco_0}
		2.5V	2.5V	2.5V	任意	V _{cco_0}
		1.8V	1.8V	1.8V	任意	GND
		1.5V	1.5V	1.5V	任意	GND

配置模式	使用的 bank	配置接口 IO 电平	V _{CCO_0}	V _{CCO_14}	V _{CCO_15}	CFGBVS
BPI	0,14,15	3.3V	3.3V	3.3V	3.3V	V _{CCO_0}
		2.5V	2.5V	2.5V	2.5V	V _{CCO_0}
		1.8V	1.8V	1.8V	1.8V	GND
		1.5V	1.5V	1.5V	1.5V	GND

7.1.1. 串行模式

在主串模式，FPGA 输出管脚 CCLK 驱动一个串行的配置 PROM，PROM 以串行方式将数据给 FPGA 的输入管脚 DIN。FPGA 在 CCLK 的每个上升沿接收数据。数据载入 FPGA 之后，在每个 CCLK 的上升沿到来时，如果存在菊花链，则在 FPGA 的 DOUT 管脚输出菊花链上的下一个器件的编程数据。从串和主串类似，区别在于 CCLK 为时钟输入脚，由外部发送时钟和数据。

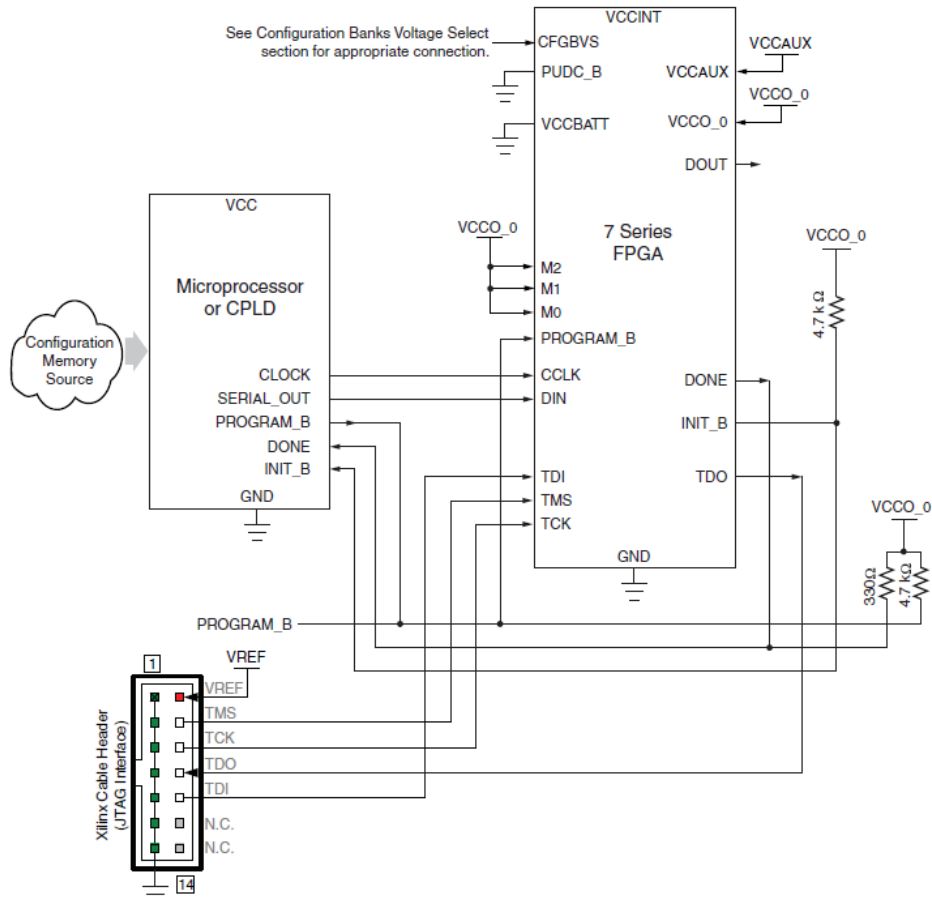


图 14 从串模式示意图

在使用串模式(主和从)时，需注意以下几点：

- FPGA V_{CCO_0} 和编程器的 VREF 必须具有相同的电压；
- DONE 引脚是漏极开路输出。建议接一个 330Ω 的上拉电阻；
- INIT_B 引脚是双向漏极开路引脚。需要一个外部上拉电阻；
- 在位流 startup 时钟设置选项中需将 CCLK 设置为串行配置模式；

- PROGRAM_B 也需要一个上拉电阻；
- 需保证 CCLK 信号完整性；
- VCCBATT 是存储在 SRAM 中的 AES 密钥的电源。使用时，应将其连接至电池电源。

串行模式时钟和数据序列如下图所示：

7.1.2. SelectMAP 模式（主和从）

SelectMAP 配置接口为系列 FPGA 配置逻辑提供了 8 位，16 位或 32 位双向数据总线接口，可用于配置和回读。数据总线的回读和读取方向仅适用于从 SelectMAP 模式。

CCLK 在主 SelectMAP 模式下为输出，而在从 SelectMAP 模式下为输入。可以通过 SelectMAP 总线配置一个或多个 FPGA 设备。下图为从 SelectMAP 模式配置示意图，主设备可以是 CPLD 也可以是其他控制器电路。

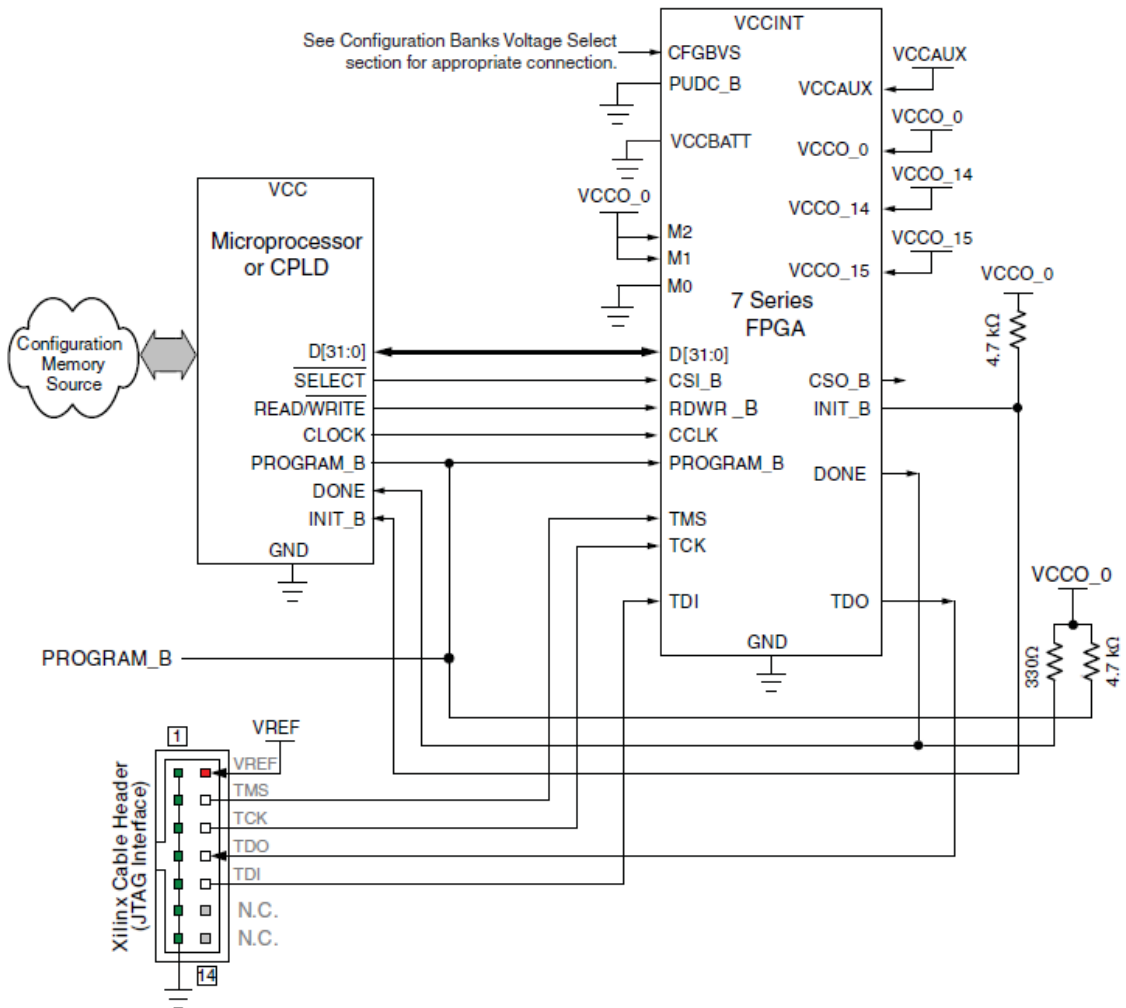


图 15 从 SelectMAP 模式配置示意图

在使用 SelectMAP 模式(主和从)时，需注意以下几点：

- 处理器或 CPLD I/O 需要与连接的 FPGA 引脚电压兼容。

- 系列 FPGA VCCO_0 的电源输入和编程器的 VREF 必须具有相同的电压。
- DONE 引脚是漏极开路输出。建议接一个 330Ω 的上拉电阻；
- INIT_B 引脚是双向漏极开路引脚。需要一个外部上拉电阻；
- 在位流 startup 时钟设置选项中需将 CCLK 设置为 SelectMAP 配置模式；
- PROGRAM_B 也需要一个上拉电阻；
- 如果仅要配置一个 FPGA 且不需要回读，则可以将 CSI_B 和 RDWR_B 信号接地。
- 需保证 CCLK 信号完整性；
- VCCBATT 是存储在 SRAM 中的 AES 密钥的电源。使用时，应将其连接至电池电源。
- 对于从 SelectMAP 模式，数据总线宽度可以是 x8, x16 或 x32。从 SelectMAP x16 和 x32 总线宽度不支持位流 AES 加密。

7.1.3. 主 SPI 模式

主 SPI 配置模式允许使用低引脚数的行业标准 SPI 型 Flash 设备进行比特流存储。FPGA 支持直接连接到 SPI 型 Flash 设备的标准四针接口，以读取存储的位流。

7 系列 FPGA 主 SPI 配置模式可以选择从支持 x1, x2 和 x4 三种数据位宽。另外，下降沿沿出数据的模式可用于更好地利用整个时钟周期并允许更高的配置速度。支持 32 位寻址的超过 128 Mb 的 SPI Flash 密度。如果外接 SPI FLASH 超过 128Mb，需使能软件选项 spi_32bit_addr 选项，否则禁用该选项。

图 17 显示了数据宽度为 x4 的 SPI 配置的连接。x1 和 x2 连接类似，只需要相应的数据接口断开即可。菊花链配置模式仅在 SPI x1 模式下可用。

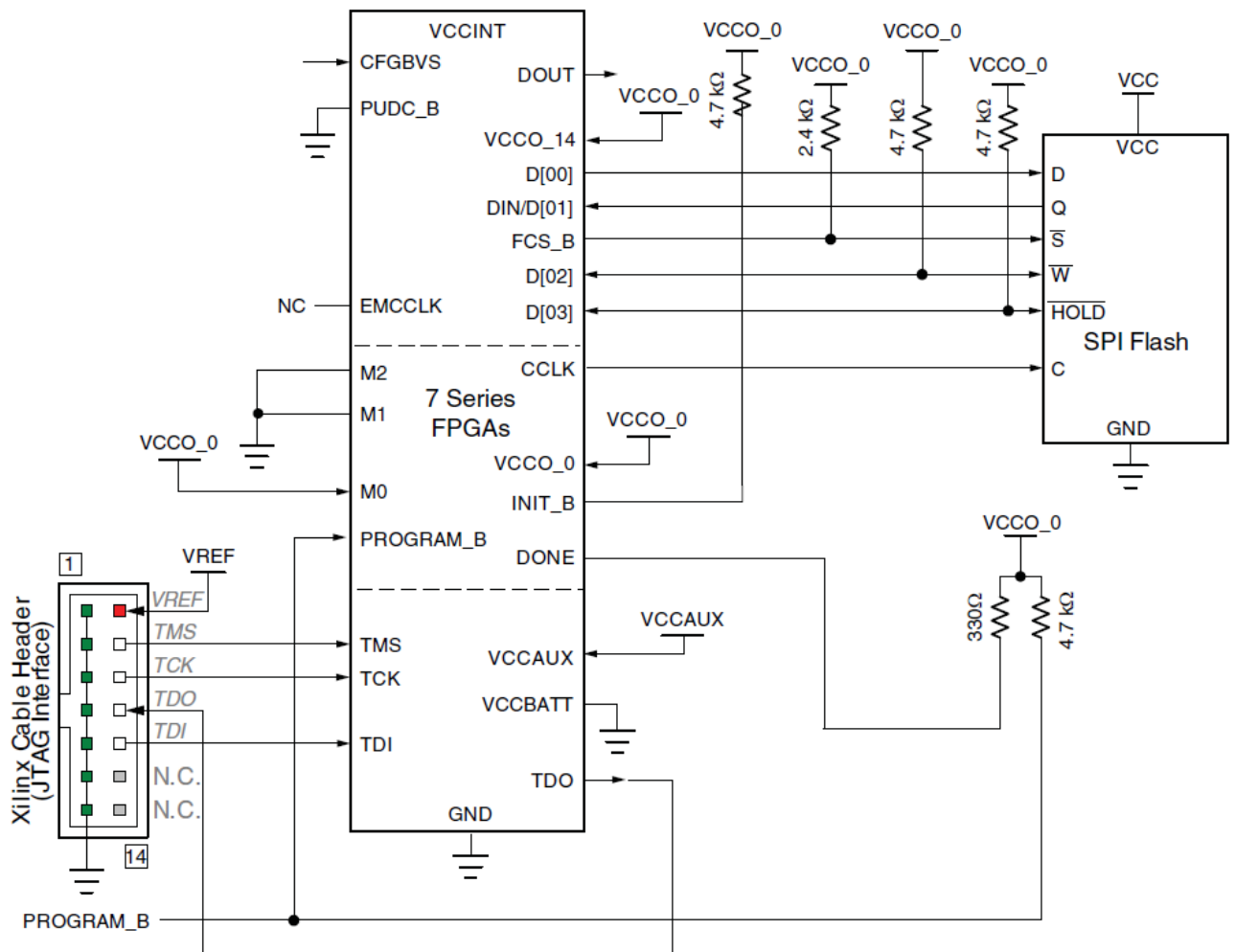


图 16 SPI(x4)模式配置示意图

在使用 SelectMAP 模式(主和从)时，需注意以下几点：

- SPI Flash 的端口电压需要与连接的 FPGA 引脚电压兼容；
- 系列 FPGA VCCO_0 的电源输入和编程器的 VREF 必须具有相同的电压；
- DONE 引脚是漏极开路输出。建议接一个 330Ω 的上拉电阻；
- INIT_B 引脚是双向漏极开路引脚。需要一个外部上拉电阻；
- 在位流 startup 时钟设置选项中需将 CCLK 设置为 SPI 配置模式；
- PROGRAM_B 也需要一个上拉电阻；
- 从 Flash 到 FPGA 的数据路径可以考虑一个串联小阻值的电阻，以减小信号过冲；
- 需保证 CCLK 信号完整性；
- 除非使能了负边沿时钟（spi_fall_edge: Yes），否则数据将在 CCLK 下降沿从 SPI 输出，并在上升沿从 FPGA 输入。
- 如果 CCLK 源是内部振荡器，则可通过 ConfigRate 选项调整 CCLK 频率。另外，ExtMasterCclk_en 选项可以将 CCLK 切换为来自 EMCCLK 引脚的源，以使用外部时钟源。

- VCCBATT 是存储在 SRAM 中的 AES 密钥的电源。使用时，应将其连接至电池电源。

7.1.4. BPI 模式

系列 FPGA 主 BPI 配置模式支持将行业标准的并行 NOR (BPI) Flash 设备用于位流存储。FPGA 支持直接连接到 BPI 闪存地址，数据和控制信号，以提取存储的位流文件。异步 NOR Flash 连接示意图如下所示：

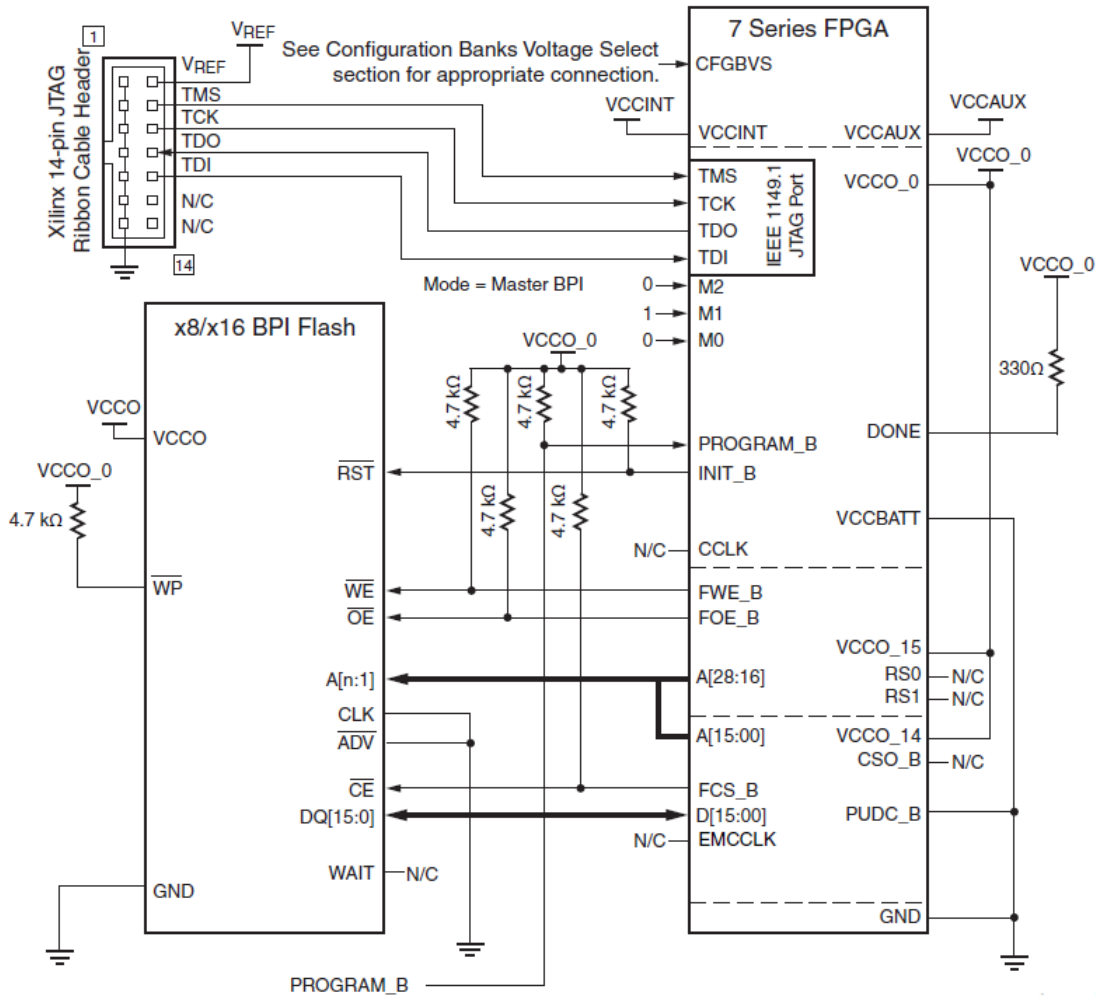


图 17 BPI 模式配置示意图 (异步)

- 系列 FPGA VCCO_0 的电源输入和编程器的 VREF 必须具有相同的电压；
- DONE 引脚是漏极开路输出。建议接一个 330Ω 的上拉电阻；
- INIT_B 引脚是双向漏极开路引脚。需要一个外部上拉电阻；
- PROGRAM_B 也需要一个上拉电阻；
- 系列 FPGA 电压 VCCO_14 提供：A [15:00], FCS_B, D [15:00], EMCCLK, PUDC_B 和 CSO_B 信号。电压 VCCO_15 提供：A [28:16], FWE_B, FOE_B, ADV_B, RS0 和 RS1 信号；BPI Flash 的端口电压需要与连接的 FPGA 引脚电压兼容；
- 上图显示了 x16 BPI 接口。对于 x8 BPI 接口，仅使用 D [07:00]；

- 对于异步 Flash，CCLK 输出不用于在异步读取模式下连接到闪存，但用于在配置期间对闪存读取的数据进行采样。所有时序均参考 CCLK，CCLK 引脚不得被驱动或拉高或拉低；
- 对于同步 Flash，需将 CCLK 以及 ADV 信号连接到 Flash 相对应的引脚，同步配置更够到达更高的配置速率；
- 如果 CCLK 源是内部振荡器，则可通过 ConfigRate 选项调整 CCLK 频率。另外，ExtMasterCclk_en 选项可以将 CCLK 切换为来自 EMCCLK 引脚的源，以使用外部时钟源。
- 此示例原理图支持单个位流配置。因此，该示例原理图中未连接 FPGA RS [1:0] 引脚。如需多个位流实现多重加载，需将 RS [1:0] 连接 Flash 的最高位和次高位，并通过上下拉电阻确定第一次加载的配置数据所在分区。
- VCCBATT 是存储在 SRAM 中的 AES 密钥的电源。使用时，应将其连接至电池电源。

7.1.5. 数据流说明

该器件能够通过连续加载数据帧对 FPGA 进行编程。下表列出了该器件能够编程的所有字节数。

表 7 编程字符数

器件	编程字符数
系列	17,536,096

7.2. 电路使用注意事项

1) 严格按照推荐工作条件使用，超出绝对最大额定值使用本产品，可能引起本产品的永久损坏。

2) 本产品为 PBGA324/PBGA325 封装，且重量达 xx 克，用户在电路电装时，建议尽量采用四边点胶(建议环氧胶)的方式进行加固。

4) 上电方式

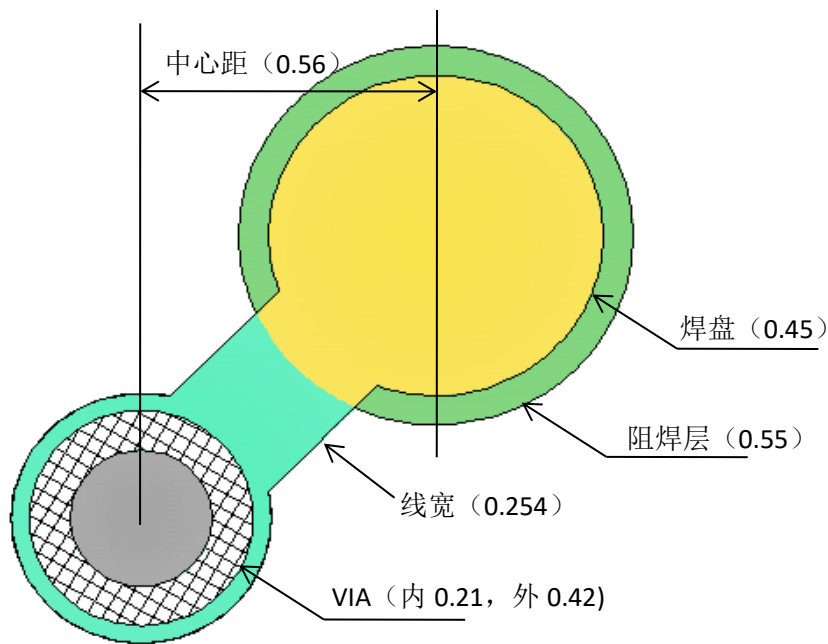
该 FPGA 上电时，需要电源提供一定的电流值，保证器件正常工作。实际消耗的电流取决于电源电压的变化率，电源电压变化率是指从 0V 达到器件正常工作所要求电压的时间。电源电压变化率的时间范围是 0.2ms-50ms（推荐 2ms-10ms），电源电压变化率越大，需要的供电电流越大。

推荐的上电顺序是 V_{CCINT} 、 V_{CCBRAM} 、 V_{CCAUX} 和 V_{CCO} ，以实现最小电流消耗并确保 I/O 在上电时处于三态，其他上电顺序可能会产生大电流且上电过程中端口状态不可控。推荐的下电顺序与上电顺序相反。如果 V_{CCINT} 和 V_{CCBRAM} 具有相同的电平电压，则两者可以由相同的电源供电并按照同一斜率升压。如果 V_{CCAUX} 和 V_{CCO} 具有相同的电平电压，则它们可以由相同的电源供电并按照同一斜率升压。如果 V_{CCO} 先上电，要求 $V_{CCO} - V_{CCAUX} > 2.625V$ 时的持续时间小于 300 ms，否则可能对电路造成永久损伤。

为 GTP 收发器实现最小电流消耗，推荐上电顺序是 V_{CCINT} 、 $V_{MGTAVCC}$ 、 $V_{MGTAVTT}$ 或 $V_{MGTAVCC}$ 、 V_{CCINT} 、 $V_{MGTAVTT}$ 。 $V_{MGTVCCAUX}$ 没有推荐的排序。 $V_{MGTAVCC}$ 和 V_{CCINT} 可以按照同一斜率升压。推荐的下电顺序与上电顺序相反，以实现最小电流消耗。如果不满足这些推荐的顺序，则 $V_{MGTAVTT}$ 消耗的电流可能会在上电和断电期间高于规范。

5) 引脚扇出方式

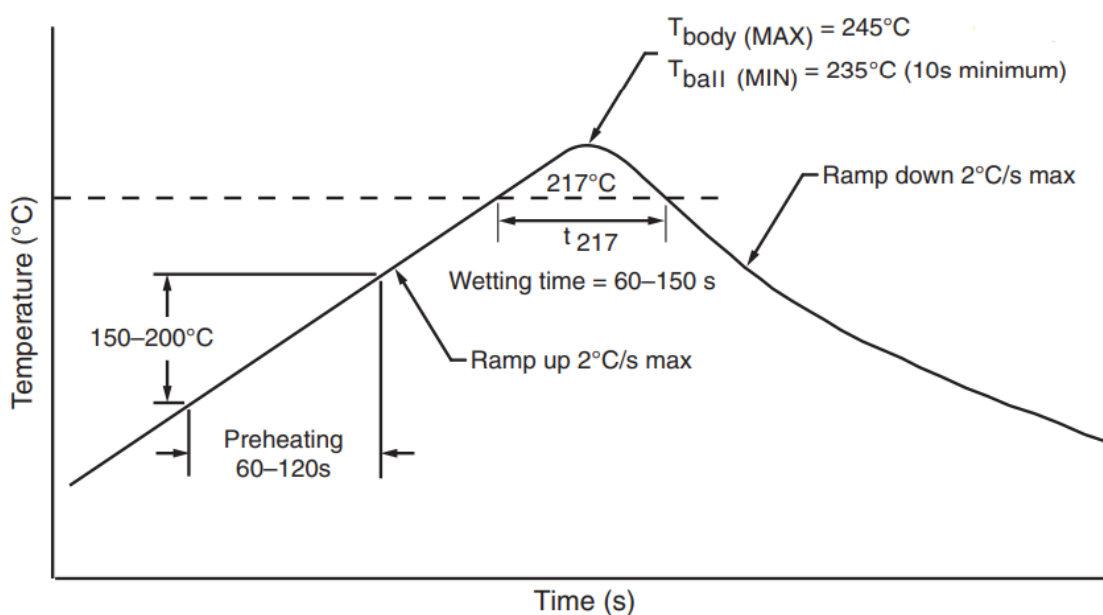
采用狗骨外形（过孔与焊盘分离），阻焊层采用 USMD 方式，扇出建议如下图，此外，工艺允许情况下也可使用盘中孔，但注意增加塞孔工艺。



单位: mm

6) 为 PBGA 封装产品, 焊球为 SAC305, 注意事项以及焊接温度曲线如下。

- ◆ 属于非气密性器件, 焊接前需烘干, 防止因内部水汽造成爆米花效应。时长和温度一般设置为 125°C 烘 24h 或者 60°C 烘 48h。
- ◆ 网板设计 厚度 0.1~0.12mm, 直径 0.45mm (焊盘 100% 被焊膏覆盖)。采用 SAC305 焊膏。
- ◆ 贴装 贴装后偏移量不超过焊球直径的 10%。
- ◆ 建议回流焊接温度曲线如下:



关键参数	要求说明
焊接温度爬升速度	$\leq 2^{\circ}\text{C}/\text{s}$
预热温度 150°C-200°C持续时间	60-120s
217°C以上保持时间	60-150s (典型值: 60-90s)
接近峰值温度 5°C以内时间	$\leq 30\text{s}$
焊球最高温度	$\geq 235^{\circ}\text{C}$ (典型值: 245°C) (综合取决于焊膏、电路板尺寸、元件等因素)
器件最高温度	245°C
焊接温度下降速度	$\leq 2^{\circ}\text{C}/\text{s}$
25°C 到峰值温度总时间	210-480s(典型值: 300s)

图 18 SAC305 回流焊温度曲线

