
产品概述

效率同步整流降压电源芯片，输入电压范围4V到36V，可输出8A平均电流。其频率可选，可以通过改变引脚状态选择350kHz或者700kHz频率。XC8284可以选择轻载降频和定频模式，分别应对轻载高效和无低频纹波的需求。通过PHMODE引脚选择相位时钟输出，再配合CLKIN和CLKOUT实现多相并联操作。

主要功能

- 4V ~ 36V输入电压范围
- 极低的导通阻抗：25/15mΩ
- 输出电流：8A平均电流
- 具有快速动态响应
- 350kHz/700kHz频率可选
- PFM/PWM模式可选
- 软启动时间可调
- 支持外同步功能
- 支持多相并联工作
- 输出电压远端采样
- 外置使能功能
- 提供PG功能
- 短路保护
- 热保护，可自恢复

企标代号：Q/XCP50138-2022（军级）
Q/XCP1011-2020（工业级）

典型电路

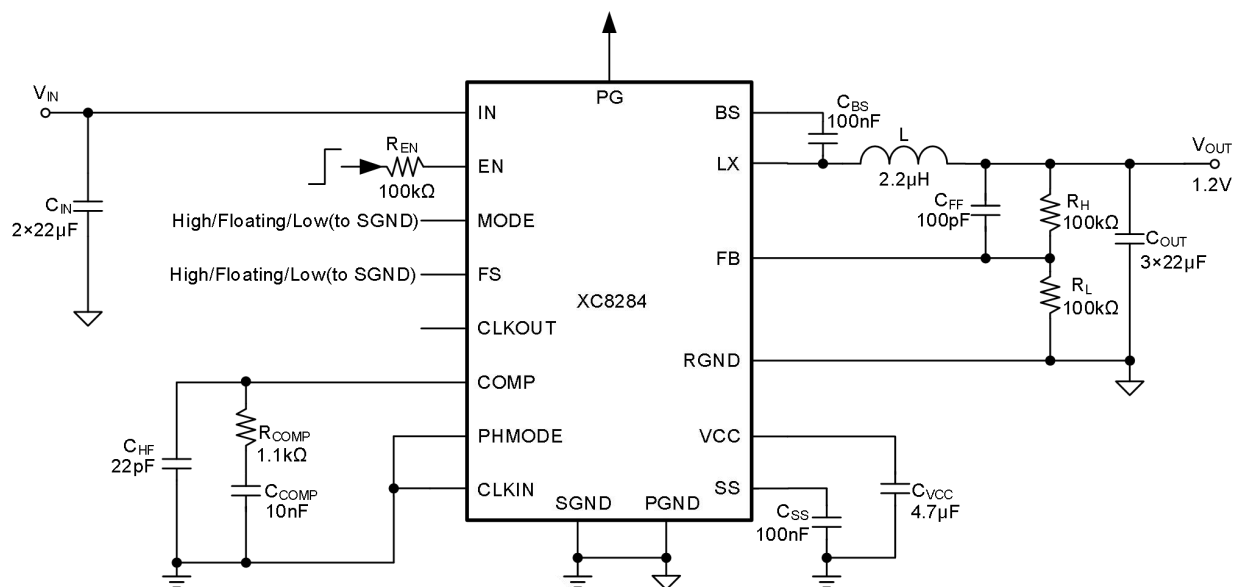


图1-1 典型降压应用电路

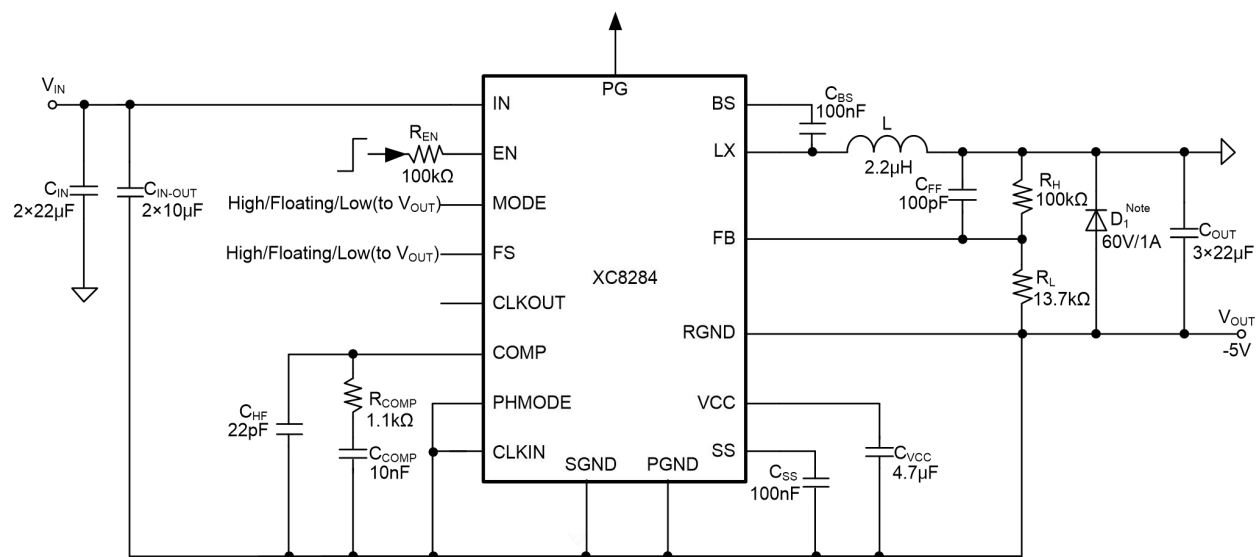


图1-2 典型负压应用电路

Note: 需选取低导通压降的肖特基二极管。当应用环境输出电压存在正电压偏置时，可以通过该二极管对偏置电压进行钳位。

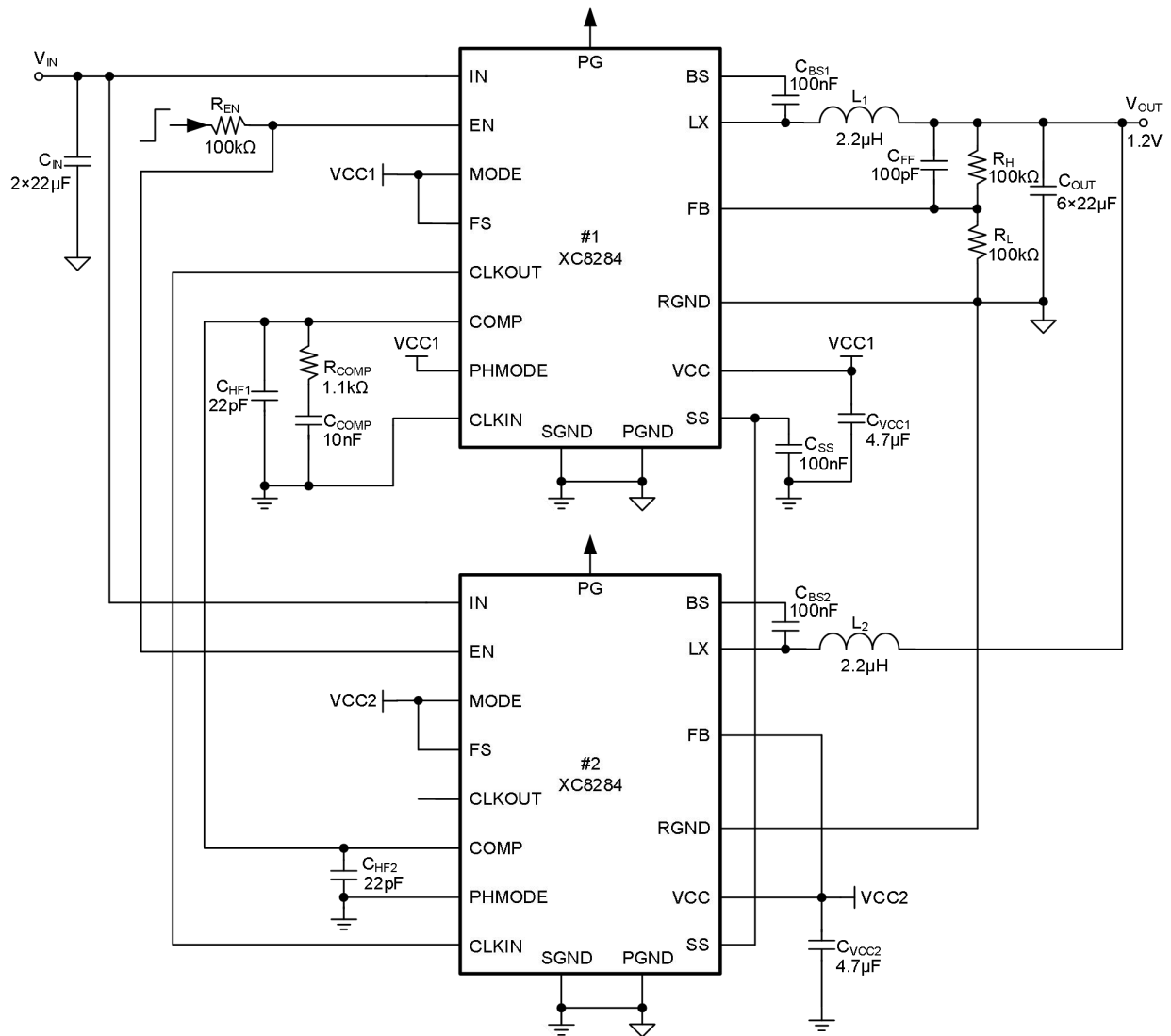
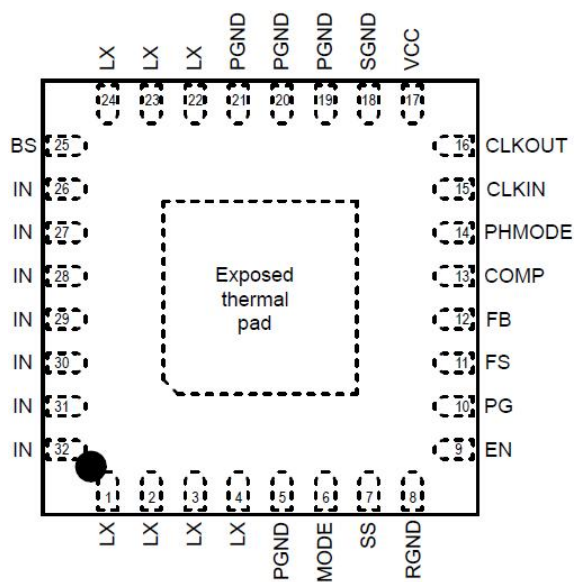


图1-3 典型两相并联应用电路

脚位图 (俯视图)



(QFN4.5×4.5-32)

图2 脚位示意图

脚位名称	脚位编号	功能描述
LX	1~4, 22~24	开关节点，将电感接到该脚
PGND	5, 19~21	功率地
MODE	6	模式选择脚，当该脚置低时，芯片工作在PFM模式；当该脚置高或悬空时，芯片工作在PWM模式
SS	7	软启动时间设置脚。通过接地电容来调节软启动时间， $t_{ss}(ms)=C_{ss}(nF) \times 0.6V/6\mu A$ 。若该脚悬空，则默认软启动时间约为1ms
RGND	8	远端采样接地端，将此引脚接于远端输出容的下极板以补偿寄生电阻造成的电压降。不使用远端采样功能时，需要将该引脚连接至 SGND
EN	9	外部使能控制，当置高时，芯片工作，切勿悬空
PG	10	输出电压状态指示脚，通过电阻接高电平，当输出电压达到设定范围时，输出高信号，反之输出低信号
FS	11	频率选择脚，当该脚置低时，工作频率为350kHz；当该脚置高或悬空时，工作频率为700kHz
FB	12	反馈脚，用于调节输出电压。 $V_{OUT}(V)=0.6(V) \times (1+R_H/R_L)$
COMP	13	环路补偿脚，其为内部误差放大器输出端，连接RC网络在该脚和SGND之间来设置补偿控制环路

PHMODE	14	CLKOUT 输出相位选择脚，其决定了 CLKOUT 与芯片内部时钟的相位，当该脚接 $0.5 \times VCC$ 时，CLKOUT 相位滞后 90° ；接地时，相位滞后 120° ；接 VCC 时，相位滞后 180° 。建议将此脚连接至固定电位，切勿悬空
CLKIN	15	外同步信号输入脚。不使用外同步功能时，建议将此脚连接至 SGND，切勿悬空
CLKOUT	16	多相并联用时钟输出脚
VCC	17	内部 3.3V 输出脚，需要外接 $4.7\mu F$ 陶瓷电容至地
SGND	18	信号地
BS	25	自举电容脚，通常接 $100nF$ 陶瓷电容到 LX
IN	26~32	输入供电脚，和 PGND 间至少接 $10\mu F$ 陶瓷电容
Exposed thermal pad		需要将其与芯片的 PGND 连接

最大耐受值

IN, LX, EN, PG, MODE, CLKIN	-0.3V ~ 40V
VCC, BS-LX, SS, FS, FB, COMP	-0.3V ~ 4V
PHMODE, CLKOUT, RGND	-0.3V ~ 4V
最大结温(T_j)	150°C
引脚焊接温度(焊接时, 10秒) (T_h)	260°C
存储温度范围(T_{Stg})	-65°C ~ 150°C

推荐工作条件

输入电压范围(V_{IN})	4V ~ 36V
结温范围(T_j)	-55°C ~ 125°C

电气参数

(测试条件 $V_{IN}=12V$, $V_{OUT}=1.5V$, $I_{OUT}=1A$, $C_{OUT}=2 \times 22\mu F$, $T_A=25^\circ C$)

参数	符号	测试条件	最小值	典型值	最大值	单位
输入电压范围	V_{IN}		4.0		36	V
输入开启电压	V_{UVLO_ON}	V_{IN} 上升		3.7	4.0	V
开启电压滞环宽度	V_{HYS}			0.3		V
静态电流	I_Q	$V_{EN}=4V$, $V_{FB}=0.65V$		500		μA
关断电流	I_{SHDN}	$V_{EN}=0V$		5.5		μA
反馈电压基准	V_{REF}		0.592	0.6	0.608	V
高边MOS内阻	$R_{DS(ON)1}$			25		m Ω
低边MOS内阻	$R_{DS(ON)2}$			15		m Ω
低边MOS谷底限流点	I_{LIM_BOT}			11.9		A
低边MOS负电流限流点	I_{NEG_LIM}	MODE置高		-3.9		A
工作频率	F_{OSC}	FS脚悬空/置高		700		kHz
		FS脚置低		350		kHz
软启动时间	t_{SS}	SS脚悬空		1		ms
内部供电电压	V_{VCC}		3.15	3.3	3.4	V
使能“高”电压	V_{EN_ON}		1.5			V
使能“低”电压	V_{EN_OFF}				0.4	V
MODE“高”电压	V_{MODE_H}		3			V
MODE“低”电压	V_{MODE_L}				0.4	V
FS“高”电压	V_{FS_H}		3			V
FS“低”电压	V_{FS_L}				0.4	V
同步频率范围	F_{SYNC}	工作频率百分比	75		125	%

PHMODE阈值电压	V_{PHMODE}	180°	$V_{\text{VCC}}-0.2\text{V}$	V_{VCC}		
		90°	1V		$V_{\text{VCC}}-1\text{V}$	
		120°			0.1V	
最小导通时间	$t_{\text{ON_MIN}}$			120		ns
最小关断时间	$t_{\text{OFF_MIN}}$			280		ns
过温保护点	T_{SD}			150		°C
过温保护滞环宽度	T_{HYS}			20		°C

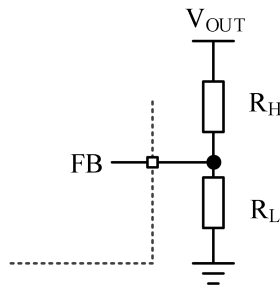
原理描述

XC8284是一款高效率同步整流降压电源芯片，输入电压范围4V到36V，可输出8A平均电流。其频率可选，可以通过改变引脚状态选择350kHz或者700kHz频率。XC8284可以选择轻载降频和定频模式，分别应对轻载高效和无低频纹波的需求。通过PHMODE引脚选择相位时钟输出，再配合CLKIN和CLKOUT实现多相并联操作。

输出电压设定

通过选择合适的分压电阻 R_H 和 R_L 来调整输出电压，为了减小分压电阻的损耗，通常 R_H 和 R_L 的阻值会介于 $10k\Omega$ 到 $1M\Omega$ 。举例来说，如果输出电压为 $1.2V$ ，先选择 $R_H=100k\Omega$ ，然后根据下面的公式，可以计算得到 $R_L=100k\Omega$ 。

$$R_L = \frac{0.6V}{V_{OUT} - 0.6V} R_H$$



输入电容 C_{IN}

输入电容用于滤除输入端的脉动电流，为芯片输入端提供稳定的电压，输入电容量的大小决定了芯片输入端的电压纹波。

输入电压纹波主要由理想输入电容上的电压纹波及电容等效串联电阻ESR上的电压纹波两部分构成。

$$\Delta V_{C_{IN}} = \frac{I_{OUT} \times V_{OUT}}{C_{IN} \times F_{OSC} \times V_{IN}} \times \left(1 - \frac{V_{OUT}}{V_{IN}} \right)$$
$$\Delta V_{ESR_C_{IN}} = I_{OUT} \times ESR_{-C_{IN}}$$

这里 $\Delta V_{C_{IN}}$ 表示理想输入电容两端的电压纹波， $\Delta V_{ESR_C_{IN}}$ 表示ESR上的电压纹波。

为了减小干扰，需要将X7R或者更高等级的瓷片电容放在 V_{IN} 和 GND 之间，并且尽量减小电容和 V_{IN} ，GND 构成的回路面积，电容的总容量最好大于 $10\mu F$ 。由于陶瓷电容的容量会随着所承受的直流电压而改变，因此实际电路中的电容容量需考虑到直流偏压特性带来的影响。

输出电容 C_{OUT}

输出电容的作用是承受电感电流的脉动，减小输出电压纹波，并且要同时兼顾稳态特

输出电压纹波主要由理想输出电容上的电压纹波及电容等效串联电阻ESR上的电压纹波两部分构成。

$$\Delta V_{C_{OUT}} = \frac{\Delta i_L}{8 \times C_{OUT} \times F_{OSC}}$$
$$\Delta V_{ESR_C_{OUT}} = \Delta i_L \times ESR_{C_{OUT}}$$

这里 $\Delta V_{C_{OUT}}$ 表示理想输出电容两端的电压纹波， $\Delta V_{ESR_C_{OUT}}$ 表示ESR上的电压纹波。

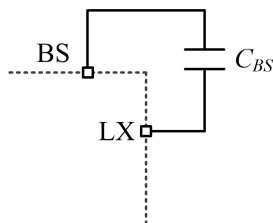
在大多数应用中，会采用X7R或者更高等级的陶瓷电容，容量最好大于 $3 \times 22\mu\text{F}$ 。由于陶瓷电容的容量会随着所承受的直流电压而改变，因此实际电路中的电容容量需考虑到直流偏压特性带来的影响。

轻载状态下的工作模式

可以通过改变MODE脚的状态来设定轻载工作的模式，当MODE脚置高或悬空时，芯片工作在强制连续的模式；当MODE脚置低时，芯片工作在轻载降频模式。

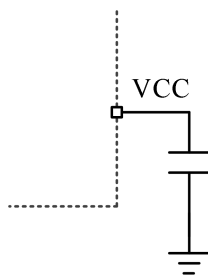
自举电容 C_{BS}

该电容用于内部的自举供电，为上管MOSFET提供驱动电压。通常会采用100nF的低ESR的陶瓷电容，接在BS和LX脚之间。



VCC LDO

VCC脚是芯片内部的LDO输出脚，这里需要在VCC和GND之间接一个 $4.7\mu\text{F}$ 的陶瓷电容在该脚获得稳定的电压。



软启动时间

可以通过改变SS和GND之间的电容值来设置软启动时间，当芯片启动时，会向该电容灌入 $6\mu\text{A}$ 的电流，软启动时间可以根据以下公式计算：

$$t_{SS}(ms) = C_{SS}(nF) \times \frac{0.6(V)}{6(\mu A)}$$

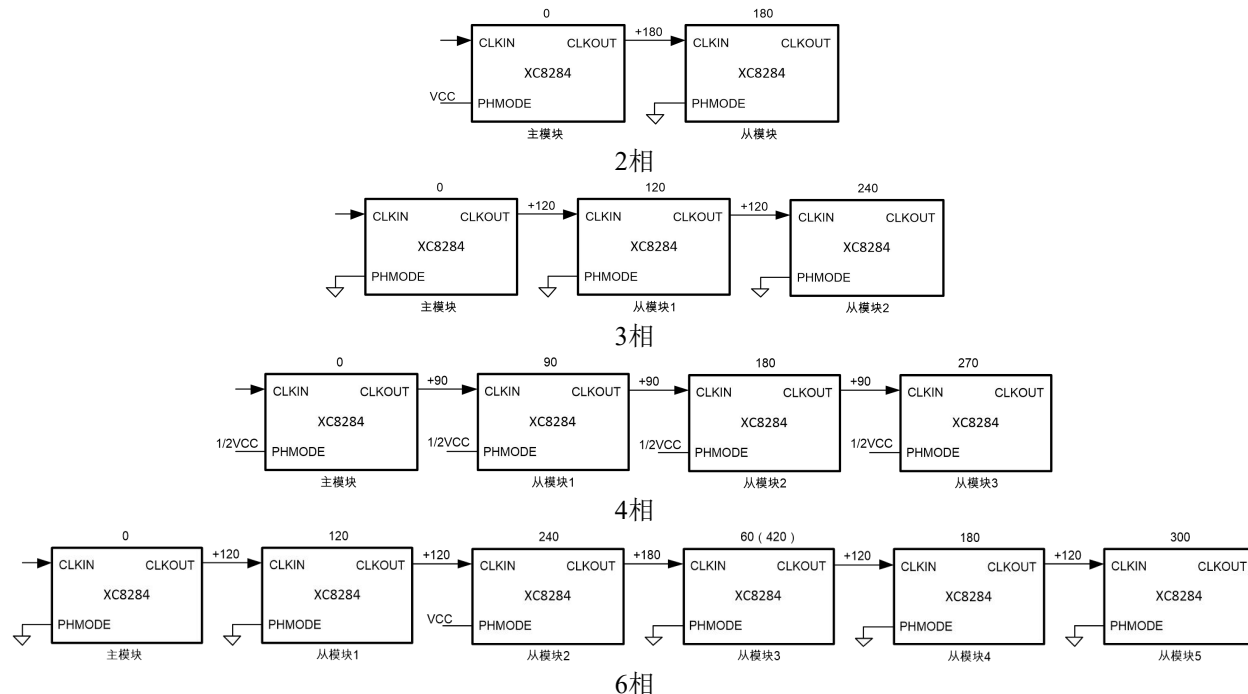
外同步功能

CLKIN 引脚可以使 与一个外部时钟相同步，当连续多个周期检测到外部时钟输入时，将内部 OSC 时钟信号替换成外部输入时钟信号，内部锁相环把内部开关相位锁定在 CLKIN 输入的相位。当不使用外同步功能时，需要将 CLKIN 引脚接至 SGND，切勿悬空。

当 FS=SGND 时，可外同步的时钟范围为 $350\text{kHz} \pm 25\%$ ，即 $262.5\text{kHz} \sim 437.5\text{kHz}$ ；当 FS=VCC/悬空时，可外同步的时钟范围为 $700\text{kHz} \pm 25\%$ ，即 $525\text{kHz} \sim 875\text{kHz}$ 。

多相并联功能

对于需要大于8A电流的输出负载，可把多个XC8284并联起来，使它们并联异相操作。通过把前级的CLKOUT信号连接至后级XC8284的CLKIN引脚，以调节整个系统的频率和相位。通过把PHMODE引脚连接至VCC、SGND、 $1/2VCC$ 来选择CLKOUT脚产生的 180° 、 120° 或 90° 的相位差，依次对应2相、3相或4相操作，理论上最大支持12相。



输出电流自动均流功能

当并联多个 驱动一个公共负载时，良好的输出电流均流能力对于实现多相并联系统的最佳性能和效率而言至关重要。当多个 的COMP引脚被连接在一起时，每颗 的输出电流被自动的调整，进而实现每一相的输出电流值几乎相等。

主控/从属配置

在多相并联应用时，只采用主控芯片的误差放大器，其它从属芯片的误差放大器通过将其FB引脚连接至VCC被停用。主控芯片的误差放大器通过其FB引脚来检测输出电压，并驱动所有其它从属芯片的COMP引脚。

输出电压远端采样功能

输出电压远端采样功能可用于补偿输出侧传输路径上因寄生电阻造成的电压降，以保证远端输出电容上的输出电压值。使用此功能时，需要将RGND引脚接于远端输出容的下极板；不使用远端采样功能时，需要将RGND引脚连接至SGND网络。

Power Good指示功能

PG脚是内部MOSFET的漏极，可通过一个100kΩ的上拉电阻接到高电平。当输出电压达到设定范围时，内部的MOSFET关断，PG电压置高；反之，内部的MOSFET开通，PG输出低电平。

PCB Layout布局要求

布局相对简单，为了获得最佳的性能，建议参考以下的方法：

- 1) 保证所有功率走线尽可能的短和宽。
- 2) 为了获得较好的热性能，建议选用四层PCB布板，同时与芯片IN，GND相连的PCB敷铜需要尽量增加厚度与面积。芯片底部的散热焊盘需要直接焊接到PCB上，并且通过尽可能多的过孔连接至PCB其它层敷铜，以进一步降低热阻，帮助芯片散热。
- 3) 为了降低功率回路对弱电信号的干扰，建议在中间层敷设一层甚至多层完整的GND。
- 4) 输入电容 C_{IN} 需要尽量靠近IN和GND，其构成的面积需要尽量小，输入电容两端需要增加尽可能多的过孔以进一步降低寄生阻抗。
- 5) 输出电容 C_{OUT} 需要尽量靠近电感和GND，其构成的面积需要尽量小，输出电容两端需要增加尽可能多的过孔以进一步降低寄生阻抗。
- 6) 自举电容 C_{BS} 需要尽量靠近LX及BS。
- 7) VCC电容 C_{VCC} 需要尽量靠近VCC引脚。
- 8) LX为开关节点，具有丰富的高频成分，因此与LX相连接的PCB面积需要尽量小，以减少干扰。
- 9) 反馈网络电阻 R_H 和 R_L 及其走线需要尽量远离LX，以降低干扰。用时分压电阻 R_L 需要直接连接至SGND网络，以确保输出电压检测的精度。
- 10) 若要使用输出电压远端采样功能，需要将RGND连接至最远端输出电容的下极板(GND脚)；不使用远端采样功能时，需要将RGND连接至SGND网络。
- 11) COMP补偿网络需要尽量靠近芯片的COMP脚，避免与功率回路交叠面积过大，以确保补偿网络不受干扰。
- 12) 若为负压输出应用，应特别注意电容 C_{IN-OUT} 需要尽量靠近芯片的IN和GND脚(GND脚负压应用下为 V_{OUT} 网络)，其构成的面积需要尽量小，电容两端需要增加尽可能多的过孔以进一步降低寄生阻抗。

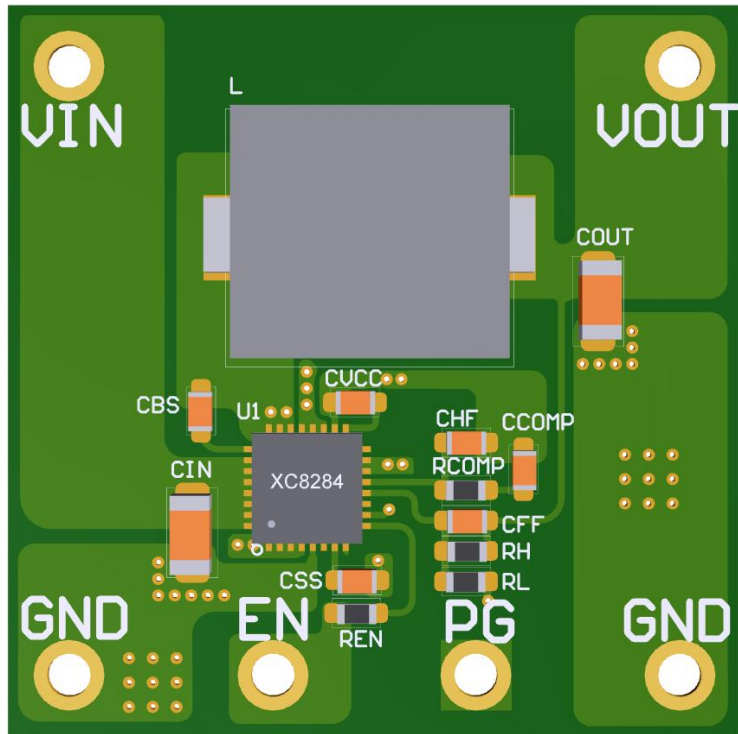


图3-1 降压应用PCB Layout推荐布局图

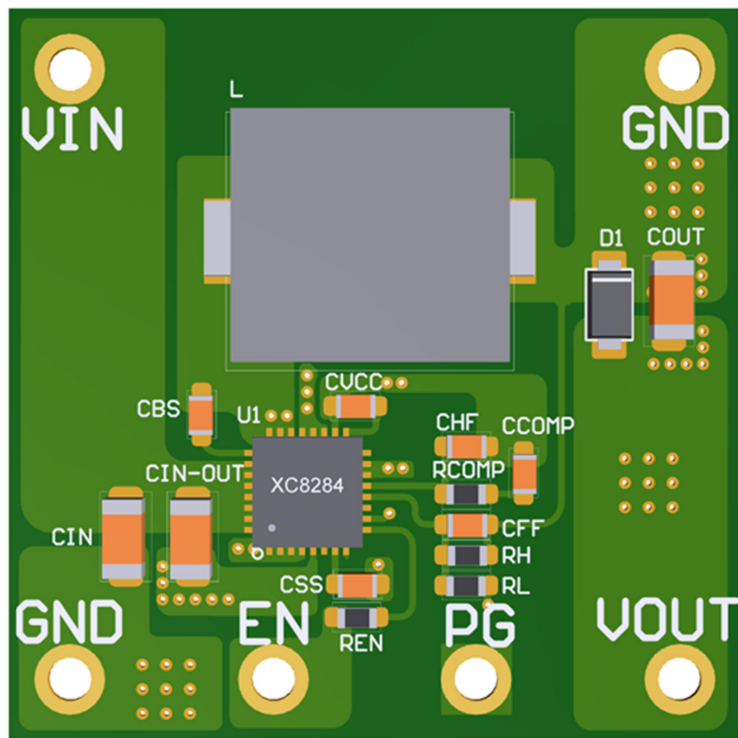
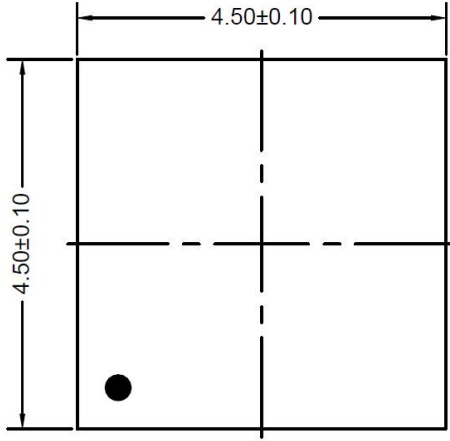
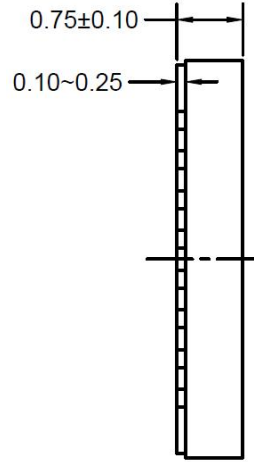


图3-2 负压应用PCB Layout推荐布局图

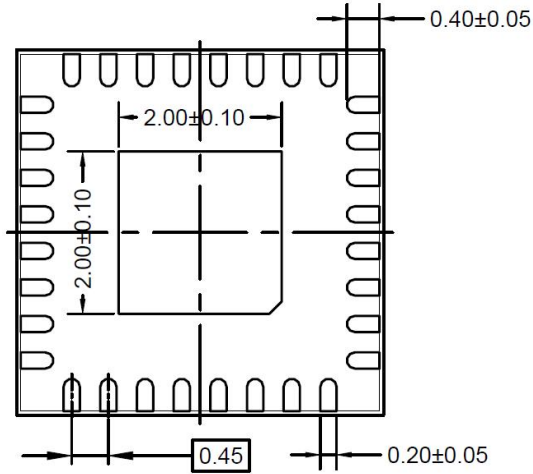
QFN4.5×4.5-32 封装尺寸



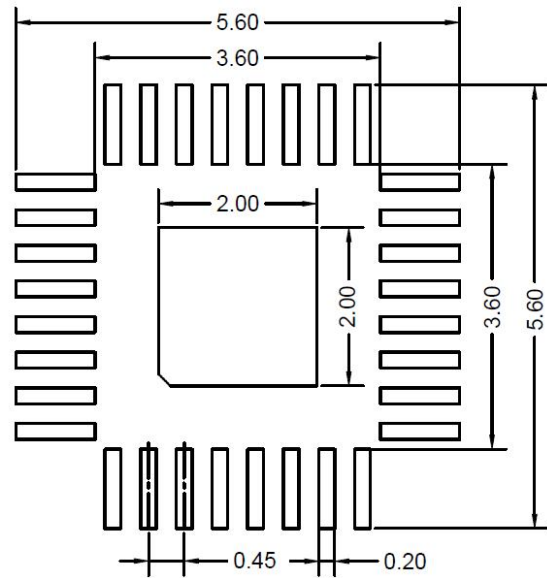
俯视图



侧视图



底视图



PCB 建议尺寸 (仅供参考)

注：所有尺寸单位为 mm